

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-326957

(43) 公開日 平成11年(1999)11月26日

(51) Int.Cl.⁹
 G 0 2 F 1/136
 1/133
 G 0 9 G 3/36

識別記号
 5 0 0
 5 6 0

F I
 G 0 2 F 1/136 5 0 0
 1/133 5 6 0
 G 0 9 G 3/36

審査請求 未請求 請求項の数10 O L (全 33 頁)

(21) 出願番号 特願平11-72802

(22) 出願日 平成11年(1999) 3 月17日

(31) 優先権主張番号 特願平10-72918

(32) 優先日 平10(1998) 3 月20日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝
 神奈川県川崎市幸区堀川町72番地

(72) 発明者 原 雄二郎

神奈川県横浜市磯子区新磯子町33 株式会
 社東芝生産技術研究所内

(72) 発明者 藤原 久男

神奈川県横浜市磯子区新磯子町33 株式会
 社東芝生産技術研究所内

(72) 発明者 山口 剛史

神奈川県横浜市磯子区新磯子町33 株式会
 社東芝生産技術研究所内

(74) 代理人 弁理士 須山 佐一

最終頁に続く

(54) 【発明の名称】 液晶表示装置

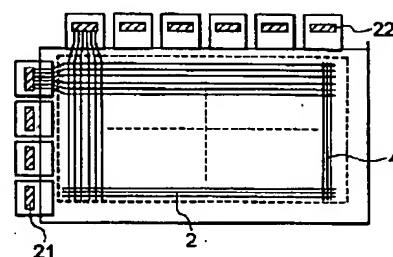
(57) 【要約】

【課題】 自発分極を有する液晶を用いた表示装置の画面のコントラスト、応答速度を改善する。また、コントラストが高く応答速度が速い表示を得る。さらに、消費電力が低く、均一性に優れ画質の良好な表示が得られるようにする。

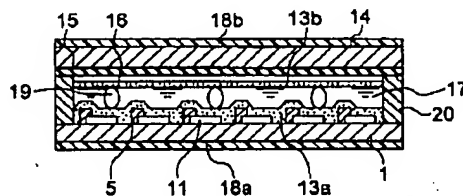
【解決手段】 固有のまたは電場を印加することにより誘起される自発分極を有する液晶が、マトリクス状に配置された画素電極と共通電極との間に挟持され、スイッチング素子を介して表示信号が画素電極に印加されるように構成された液晶表示装置において、一面素分の静電容量を C_{LC} (F)、液晶の単位面積当たりの自発分極を P_s (C/m²)、画素電極と共通電極との間に加えられる電圧を E (V)、一面素分の画素電極の面積を A (m²)、一面素分の補助容量を C_s (F) としたとき、これらが、次式

$$P_s \times A \leq 5 \times (C_s + C_{LC}) \times E \quad \dots\dots\dots (1)$$

を満足させるようにする。



(a)



(b)

【特許請求の範囲】

【請求項1】 第1の基板と、前記第1の基板上にマトリクス状に配置された画素電極と、前記画素電極に接続された補助容量と、前記画素電極に接続されたスイッチング素子と、前記画素電極に近接して配設された、固有のまたは電場を印加することにより誘起される自発分極を有する液晶層と、前記液晶層の上に形成された共通電極と、前記共通電極の上に配置された第2の基板とを備*

$$P_s \times A \leq 5 \times (C_s + C_{LC}) \times E \quad \dots\dots\dots (1)$$

を満足させることを特徴とする液晶表示装置。

【請求項2】 前記スイッチング素子が、薄膜トランジスタ(TFT)であることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 1フレーム時間内で前記薄膜トランジスタ

$$(P_s \times A + (C_s + C_{LC}) \times E) / (2 \times T_{gon}) \leq I_{on} \quad \dots\dots\dots (2)$$

を満足させることを特徴とする請求項2記載の液晶表示装置。

【請求項4】 第1の基板と、前記第1の基板上にマトリクス状に配置された画素電極と、前記画素電極に接続された補助容量と、前記画素電極に接続されたスイッチング素子と、前記画素電極に近接して配設された、固有のまたは電場を印加することにより誘起される自発分極を有する液晶層と、前記液晶層の上に形成された共通電極と、前記共通電極の上に配置された第2の基板とを備えた液晶表示装置において、

$$E \geq V_{sat}$$

$$\text{かつ } F \leq 1$$

を満足させることを特徴とする液晶表示装置。但し、

$$F = P_s \times A \times \exp(- (T_{gon} \times \log_2 10 / \tau)) / ((C_s + C_{LC}) \times (E - V_{sat}))$$

$$P_s \geq P_1$$

が成り立つことを特徴とする請求項4記載の液晶表示装置。

【請求項6】 前記スイッチング素子が、薄膜トランジスタ(TFT)であることを特徴とする請求項4記載の◆

$$F \leq 1/2$$

を満足させることを特徴とする請求項6記載の液晶表示装置。

$$F \leq 2/3$$

を満足させることを特徴とする請求項6記載の液晶表示装置。

$$F \leq 1/3$$

を満足させることを特徴とする請求項6記載の液晶表示装置。

【請求項10】 第1の基板と、前記第1の基板上にマトリクス状に配置された画素電極と、前記画素電極に接続された補助容量と、前記画素電極に接続された薄膜トランジスタからなるスイッチング素子と、前記画素電極に近接して配設された、固有のまたは電場を印加することにより誘起される自発分極を有する液晶層と、前記液

*えた液晶表示装置において、

前記液晶の飽和配向状態における一画素分の静電容量を C_{LC} (F)、前記液晶の単位面積当たりの自発分極を P_s (C/m²)、前記画素電極と前記共通電極との間に加えられる電圧を E (V)、一画素分の画素電極の面積を A (m²)、一画素分の補助容量を C_s (F) としたとき、

これらが、次式

10 ※タのゲート電極が選択される期間を T_{gon} (s)、前記ゲート電極が選択されている期間に前記薄膜トランジスタのソース・ドレイン電極間に流れる電流の最大値を I_{on} (A) としたとき、次式

★前記液晶の飽和配向状態における一画素分の静電容量を C_{LC} (F)、前記液晶の単位面積当たりの自発分極を P_s (C/m²)、前記画素電極と前記共通電極との間に加えられる電圧を E (V)、一画素分の画素電極の面積を A (m²)、一画素分の補助容量を C_s (F)、前記画素電極に表示信号を替込むために前記スイッチング素子が選択される期間を T_{gon} (s)、前記画素電極と前記共通電極の間に電圧 E (V) を印加した場合の液晶セルの応答時間を τ (s)、液晶表示素子の飽和電圧を V_{sat} (V) としたとき、

$$\dots\dots\dots (3')$$

$$\dots\dots\dots (3)$$

☆とする。

【請求項5】 $P_1 = 5 \times 10^{-6}$ (C/m²) としたとき、さらに次式

$$\dots\dots\dots (4)$$

◆液晶表示装置。

【請求項7】 前記スイッチング素子が、多結晶シリコン層を有する薄膜トランジスタ(TFT)であり、次式

$$\dots\dots\dots (5)$$

*【請求項8】 前記スイッチング素子が、非晶質シリコン層を有する薄膜トランジスタ(TFT)であり、次式

$$\dots\dots\dots (6)$$

※【請求項9】 前記スイッチング素子が、非晶質シリコン層を有する薄膜トランジスタ(TFT)であり、次式

$$\dots\dots\dots (7)$$

晶層の上に形成された共通電極と、前記共通電極の上に配置された第2の基板とを備えた液晶表示装置において、

前記液晶の自発分極に起因する強誘電的容量と配向膜の容量からなる合成容量の一画素分を C_{cell} (F)、前記薄膜トランジスタのゲート電極と前記画素電極との間の寄生容量の一画素分を C_{gs} (F)、前記補助容量の一画素分を C_s (F)、オン・オフ時の前記ゲート電極の電

位差を ΔV_R (V)、液晶表示素子の飽和電圧を V_{sat}

$$5 \times C_{ss} \times \Delta V_R \leq (C_s + C_{cell}) \times V_{sat} \quad \dots\dots\dots (8)$$

を満足させることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に、固有のまたは電場を印加することにより誘起される自発分極を有する液晶を有し、スイッチング素子を備えた液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置(LCD)は、低消費電力、軽量などの特長を持ち、ノート型のパーソナルコンピュータや携帯表示端末などの表示装置として利用されている。従来から、非晶質シリコン(a-Si)膜を用いた薄膜トランジスタ(TFT)をスイッチング素子とし、ネマティック液晶を用いたTFT-TN方式の液晶表示装置が、15インチ程度の情報端末用ディスプレイなどに利用されている。

【0003】しかし、このような液晶表示装置は、視野角が狭く、また応答速度が遅いため、モニター用途などの大型ディスプレイへの応用に対しては、十分な性能を持ちえていない。

【0004】最近、このような液晶表示装置の持つ問題を解決する表示方法として、強誘電性液晶(FLC: Ferroelectric Liquid Crystal)、反強誘電性液晶(AFLC: Anti-Ferroelectric Liquid Crystal)、DHF液晶(DHFLC: Distorted Helical Ferroelectric Liquid Crystal)、ねじれ液晶(Twisted Ferroelectric Liquid Crystal)などの、固有の自発分極または電場を印加することにより誘起される自発分極を有する液晶を使用する表示方式が、注目されている。

【0005】このような液晶材料を使用する方式の一つである、表面安定化強誘電性液晶(SSFLC: Surface Stabilized Ferroelectric Liquid Crystal)を用いた表示方式では、スメクティック液晶のカイラルスメクティックC相の持つらせん構造を、配向膜と液晶との相互作用により解き、その際に発生する自発分極と電場との相互作用により発生するトルクで、スイッチングを行っている。これらの液晶を用いて中間階調の表示を行うには、TFTなどの能動素子を用いることが必要となっている。

【0006】一方、反強誘電性液晶を用い、その液晶相(SmCa相)を利用して表示する方式が知られている。この方式では、強誘電性液晶の2つの安定状態のほか、電圧無印加時に反強誘電性液晶構造が採られる。近年、この方式により、スイッチング素子を併用するこ

(V)としたとき、次式

となく中間調表示が可能であることが、発表されている。(N. Koshoubu, K. Mori, K. Nakamura, and Y. Yamada, *Ferroelectrics*, 1993, 149, p. 295)

この方式に対して、近年、能動素子からなるスイッチング素子を併用して、カイラルスメクティックC型を使用する方式が提案されている。(J. Funfschilling and M. Schadt, *J. Appl. Phys.* 66 (1989), p. 3877) この方式を用いた表示装置は、

(1) 中間調表示の信頼性が優れている。すなわち、この方式では、印加電圧に対する透過率の変化が比較的なだらかであり、また表面安定化強誘電性液晶を用いた表示装置のように、中間調表示が困難になるという問題を起こさない。

(2) この方式の液晶材料は、低電圧(0~5V)での駆動が可能であり、低消費電力の液晶表示装置を実現することが出来る。

(3) この方式の表示装置は、機械的ショックに強く、表面安定化強誘電性液晶のように機械的ショックで配向破壊を引き起こすことがない。などの点で、前記各方式よりも優れている。

【0007】ここで、固有のまたは電場を印加することにより誘起される自発分極を有する液晶材料(以下、自発分極を有する液晶と略す。)の一例である反強誘電性液晶における、配向と電場との関係を、図21に示す。

【0008】この反強誘電性液晶の分子51は、電圧無印加時のA状態では、互い違いに並んで自発分極を打ち消している。このとき、平均的な液晶分子51の光軸52は縦方向となる。したがって、矢印53、54で示すように、光軸52と同方向および直交方向となるように2枚の偏光板をクロスニコルに配置すると、A状態は暗状態(ノーマリーブラック)となる。しかし、正電圧または負電圧を印加したB状態またはC状態では、電場55の方向にしたがって、反強誘電性液晶の分子51は一方方向に配列して、光軸52が偏光板の偏光方向からずれ、明状態となる。反強誘電性液晶の分子51に印加される電圧が正の場合と負の場合とでは、B状態とC状態のように、自発分極の向きが異なるため、極性反転時には、自発分極の向きを変えるための電荷が必要となる。つまり、この反強誘電性液晶は、正電圧の印加と負電圧の印加とで液晶の配列が異なり、極性反転時には自発分極の向きを変えるために電荷が必要であるという点が、ネマティック液晶と相違する。

【0009】さらに、無しき反強誘電性液晶(TLAFLC: Threshold-less Anti-Ferroelectric Liquid Crystal)は、電極間に印加される電圧の強度によって、電

圧無印加状態(A状態)、正電圧印加状態(B状態)、負電圧印加状態(C状態)という3つの配向だけでなく、これらの状態の中間の任意の配向状態も可能である。したがって、マトリクス状に配置した画素にTFTなどのスイッチング素子を形成したアクティブマトリクス方式の表示装置に適用し、非選択期間中も、前記した任意の配向状態をとる電圧を保持するように構成することにより、中間調表示が可能となる。

【0010】まず、無しき反強誘電性液晶材料を電極間に挟み、偏光板をクロスニコルに配置した表示素子において、平衡状態での電極間に印加される電圧 V と透過光強度 T との関係を、図22に示す。なお、印加される電圧 V は、液晶材料への印加電圧の他に、液晶を配向させるために電極上に配置される配向膜への印加電圧の和となる。

【0011】印加電圧 V により液晶の配列が変化するので、この図に示すように、透過光強度 T は、 V にほぼ比例して大きくなる。飽和電圧を V_{sat} とすると、 V が $+V_{sat}$ および $-V_{sat}$ の場合に、液晶の配列はそれぞれ図21に示すB状態またはC状態となり、透過光強度 T は最大値 T_{max} となる。以下、透過光強度の最大値 T_{max} を、最大輝度と表す。

【0012】DHFLCは、等価回路で表すことにより、電気的および電気光学的な応答を精度よく記述できることが知られている。DHFLCの等価回路を、図23に示す。ここで、 C_{lic} 56は液晶の容量のうちの速い成分の誘電応答部を、 C_{hs} 57は液晶の容量のうちの遅い成分の誘電応答部を、 C_{series} 58は配向膜部分の容量を、 R_{series} 59は液晶材料に電圧を印加するための電極の抵抗をそれぞれ表す。遅い成分については、その遅れを表現するために、 R_{hs} 60で表す抵抗成分を C_{hs} 57と直列に配置している。 C_{hs} 57は、自発分極 P_s に対応した容量成分と考えることができ、 C_{hs} 57の両端に蓄積された電荷 Q_{hs} が、液晶分子の回転角にほぼ比例すると考えることができる。偏光板をクロスニコルに配置した場合、 C_{hs} 57の両端に蓄積された電荷が0の場合には、黒表示となり、電荷が増加するに従って輝度が上昇し、 P_s に相当する電荷が蓄積されると最大輝度に到達する、と考えることができる。

【0013】このような等価回路を用いて、回路シミュレーションを行なうことにより、電気的および電気光学的な応答を精度よく求めることができる。回路シミュレーションには、例えばSPICE (Simulation Program with IC Emphasis, U. C. Berkeley) 等を用いることができる。そして、このような等価回路モデルを無しき反強誘電性液晶に対して適用しても、電気的および電気光学的な応答を精度よく記述することができる。

【0014】マトリクス状に配置された画素電極と対向電極との間に、自発分極を有する液晶が挟持された液晶

表示装置を、アクティブマトリクス方式で駆動する方法としては、フレーム反転駆動、リセット駆動などがある。また、マトリクス状に配置された画素電極と対向電極との間に、ネマティック液晶が挟持された液晶表示装置を、アクティブマトリクス方式で駆動する方法としては、フレーム反転駆動などがある。

【0015】フレーム反転駆動の場合のアレイの一面素分の構成を、図24に示す。駆動波形は、図25に示す電圧波形となる。

【0016】このアレイでは、ゲート線61と信号線62とは直交して配置され、その交点近傍に、信号書込み用のスイッチング素子(TFT)63が配置されている。スイッチング素子63のソースは画素電極64に、ドレインは信号線62にそれぞれ接続されている。

【0017】ゲート信号が入力され、スイッチング素子が選択される周期であるフレーム周期 T_{frame} は、通常 $1/60$ 秒であることが多く、その周期ごとにゲート選択時間 T_{gon} の間ゲート線がオン状態に選択される。ゲート線の本数を N_g とすると、ゲート選択時間 T_{gon} は T_{frame} を N_g で割った時間に相当する。一方、信号線には、フレーム周波数と等しい周期で、極性が反転する電圧が印加される。信号線の電圧は中心値が V_{sig-0} であり、正極性では V_{sig-p} 、負極性では V_{sig-n} の電圧が印加される。対向電極の電位は、 V_{com} で一定である。ゲート選択時間 T_{gon} の間は、TFTがオン状態となり、画素電極への信号の書込みが行われ、液晶材料の配向状態が制御される。すなわち、液晶はフレーム周期ごとに自発分極の向きを変えることになる。信号線反転駆動、ドット反転駆動でも、同様の駆動波形となる。偏光板は、ノーマリーブラックとなるように配置すればよい。

【0018】一方、リセット駆動では、画素電極に対して、信号書込みの直前に液晶の配向が黒表示状態となるように、リセット信号が書込まれる。このように液晶の配向状態をリセットすることにより、書込み前の配向状態により書込み後の配向状態が変化する、という残像の発生を抑えることが可能となる。リセット駆動を行なう方法を、以下に説明する。

【0019】リセット駆動の第1の方法の駆動波形を、図26に示す。図26において、(a)はゲート線の電位を示し、(b)は信号線の電位を示す。アレイの構造としては、前記した図24に示す構成が採られる。

【0020】フレーム周期 T_{frame} ごとに、 T_{gon0} の間ゲート線がオン状態に選択される。ゲート線の本数を N_g とすると、 T_{gon0} は、 T_{frame} を N_g で割った時間に相当する。 T_{gon0} は、ゲート電極がオンとなる時間で2つの部分に分かれており、前半がリセット時間 T_r 、後半が画素電極に表示信号を書込むためのゲート選択時間、すなわち信号書込み時間 T_{gon} となる。

【0021】信号線に印加される電圧は、リセット時間

T_r においては、対向電極の電位 V_{com} に、信号書き込み時間 T_{gon} においては、画素に書き込むべき信号電圧になる。 T_{gon} の間は TFT がオン状態となり、前半のリセット時間 T_r の間に、画素電位は対向電極電位 V_{com} とほぼ等しくなる。その後の信号書き込み時間 T_{gon} に画素電極への信号の書き込みが行われ、液晶材料の配向状態が制御される。液晶はフレーム周期ごとに自発分極の向きを変え、これにより、焼付きを無くすることが可能になる。偏光板は、ノーマリーブラックとなるように配置すればよい。

【0022】リセット駆動の第2の方法の画素分の等価回路を、図27に示す。アレイの構造としては、フレーム反転駆動の構成に加えて、リセット用に TFT からなるスイッチング素子65があり、この TFT 65 のスイッチングのオン・オフを制御するためのリセット線66を有している。リセット用 TFT 65 は、ソースが補助容量線67に、ドレインが画素電極64にそれぞれ接続されている。

【0023】この回路の駆動波形を、図28に示す。図28において、(a)、(b) および (c) は、それぞれゲート線、リセット線および信号線の電位を示す。

【0024】フレーム周期 T_{frame} ごとに、ゲート選択時間 T_{gon} の間ゲート線がオン状態に選択される。ゲート線の本数を N_g とすると、ゲート選択時間 T_{gon} は、 T_{frame} を N_g で割った時間に相当する。ゲート線が選択される直前に、リセット線がリセット時間 T_r の間オン状態に選択される。補助容量線の電位は、対向電極の電位 V_{com} とほぼ等しい電位に保たれるため、リセット時間 T_r の間に、画素電位は対向電極電位 V_{com} とほぼ等しくなる。その後のゲート選択時間 T_{gon} に、画素電極への信号の書き込みが行われ、液晶材料の配向状態が制御される。液晶はフレーム周期ごとに自発分極の向きを変え、これにより、焼付きを無くすることが可能になる。偏光板は、ノーマリーブラックとなるように配置すればよい。

【0025】マトリクス状に配置された画素電極と対向電極との間に、ネマティック液晶または自発分極を有する液晶が挟持された液晶表示装置を、アクティブマトリクス方式でフレーム反転駆動した場合に、任意の画素に印加される電圧や光透過率を、図29に示す。なお、偏光板は、ノーマリーブラックとなるように配置されているものとする。

【0026】まず、ネマティック液晶が挟持された液晶表示装置において、図29(a)に示すように、ゲート線から周期的にゲート信号が入力されるとする。このとき、ゲート信号の周波数がフレーム周波数 f_r であり、通常 60 Hz である。つまり、ゲート信号の周期 T_{frame} は、通常 $1/60$ 秒 ($=16.67$ ms) となっている。一方、信号線には、図29(b)に示すように、フレーム周期 T_{frame} と等しい周期で極性が反転す

る電圧が印加される。ここで、信号線の電圧は、中心値が V_{sig-p} であり、正極性では V_{sig-p} 、負極性では V_{sig-n} の電圧が印加される。また、対向電極の電位は、フリッカーや焼付きが生じないように、 V_{sig-p} よりも 1 V 程度低い V_{com} に保たれている。

【0027】このように、画素電極に表示信号を書込むためにゲート線がオン状態に選択される時間であるゲート選択時間 T_{gon} の間、ゲートに電圧がかかると、 T_{gon} の間スイッチング素子はオン状態となり、上記信号線の電圧が、同(c)に示す書き込み電圧として、スイッチング素子を介して画素電極に供給される。そして、このように画素電極に供給される書き込み電圧により、液晶セルおよび補助容量等がコンデンサーとして機能するため、同(d)に示すように、ネマティック液晶セルの保持電圧は、保持率の低下がほとんどなく、ほぼ一定に保たれる。すなわち、液晶中に不純物が混入している場合は、保持電圧の低下が起こるが、イオン性不純物をほとんど含まないフッ素系液晶などを用いる場合は、ほぼ一定に保たれる。この場合の液晶セルの光透過率を、同(e)に示す。ネマティック液晶は、応答速度が遅いため、光透過率の立ち上がりは遅いが、画素電極に保持される電圧が正極性でも負極性でも、液晶の配向に影響を与えないため、その後の光透過率はほぼ一定となる。

【0028】

【発明が解決しようとする課題】これに対して、自発分極を有する液晶では、図29(a)に示すゲート線からのゲート信号の入力、および同(b)に示す信号線に印加される電圧により、同(c)に示す書き込み電圧が、スイッチング素子を介して画素に供給されると、同(f)に示すように、液晶セルの保持電圧はゲート選択時間後に低下し、極めて悪い保持特性を示す。この場合、液晶セルの光透過率は、同(g)に示すようになる。

【0029】このように、自発分極を有する液晶をアクティブマトリクス駆動(保持駆動)すると、スタティック駆動のように光透過率が上がらない。その結果、自発分極を有する液晶を用いた液晶表示装置では、コントラストが低下し、表示品位が劣化するという問題がある。

【0030】本発明者らがこの問題について詳しく調べた結果、次のような原因により、コントラストの低下が生ずることが判明した。

【0031】すなわち、アクティブマトリクス駆動の場合、図29(c)に示すように、1フレームでの書き込みのための電圧の供給は、フレームの一部でしか行われなない。通常、自発分極を有する液晶の誘電応答には、速い成分と遅い成分とがあり、速い成分の飽和の時定数が数 μs 以下であるのに対して、遅い成分の飽和の時定数は、一般的に 80 μs 以上であることが多い。また、補助容量の飽和の時定数も、数 μs 以下である。ゲート選択時間 T_{gon} は、典型的には 64 μs 以下であるので、

速い成分や補助容量の応答はゲートオン時間内に終了するが、遅い成分の応答は終了しない。

【0032】液晶分子の配列変化は、誘電応答の遅い成分の応答と対応しているため、ゲート選択時間 T_{gmn} 内には、液晶分子の配列変化が終了しない。そのため、ゲート選択時間後のフレームの残りの時間も、液晶の容量のうちの速い成分の誘電応答部や補助容量に蓄積された電荷が、遅い成分の誘電応答部に移動し、液晶分子の配列変化が続くので、図29(d)に示すように、保持電圧が低下する。このとき、保持電圧が飽和電圧 V_{sat} より低い値となる場合は、スタティック駆動時に比べて透過率が低下し、白表示時の輝度は最大輝度 T_{max} より低くなり、コントラストが低下する。

【0033】なお、液晶の応答時間とは、ある配列状態にある液晶に電圧を印加して配列状態を変化させた場合に、印加時からの液晶セルの透過率の変化量が、印加前の透過率と印加後の透過率との差の90%に達するまでの時間をいうことが多い。ここでも、その定義を用いる。前記した自発分極を有する液晶では、光学応答は、液晶の配列変化と対応する遅い成分の誘電応答によるので、応答時間は、80 μ s以上であることが多い。

【0034】自発分極を有さないネマティック液晶では、液晶分子は、印加電圧の絶対値に対して応答する。すなわち、+5V印加する場合と-5V印加する場合とで同じ配列となる。そのため、オフからオンになった最初のフレームで液晶の配列変化が不十分でも、2、3フレーム目と、徐々に液晶分子の配列変化が起こり、数〜数10フレーム後には、同じ電圧をスタティック駆動で印加した場合と同じ配列に達する。すなわち、数〜数10フレーム後には、スタティック駆動と同じ透過率を示す。

【0035】一方、自発分極を有する液晶は、印加する電圧の極性により液晶分子の配列が異なる。すなわち、+5V印加する場合と-5V印加する場合とで、配列が異なる。そのため、フレーム反転駆動では、オフからオンになった最初のフレームで、液晶分子はどちらかの極性（例えば、正極性）のある配列になる。ただし、応答速度が遅いため、同じ電圧をスタティック駆動で印加した場合の配列には達しない。第2のフレームでは極性が反転したとき、液晶分子は、第1フレームの正極性の配列から電圧無印加時の配列を経て変化するため、オフからオンになった第1のフレームと同様に、スタティック駆動で得られる配列には達しない。そして、フレームごとに極性が反転するため、それ以降のフレームでも、同じ電圧をスタティック駆動で印加した場合の配列には達しない。その結果、透過率は、スタティック駆動に比べて大きく低下し、コントラストの低い表示となる。

【0036】自発分極を有する液晶に対して、リセット駆動を行った場合の、任意の画素に印加される電位および光透過率を、図30に示す。

【0037】図30(a)および(b)に示す駆動波形で、ゲート線および信号線にそれぞれ電圧を印加すると、画素電位は同(c)に示すように変動し、液晶セルの光透過率は、同(d)に示すように変動する。

【0038】リセット駆動を行った場合には、信号書き込みの前に黒表示の状態にリセットされるため、信号書き込み時の液晶分子の配列変化は、フレーム反転駆動の場合より小さくなるものの、図30(d)に示すように、フレーム反転駆動の場合と同様に、ゲート選択時間後には電荷の移動が生じるため、保持電圧が低下し、この電圧が V_{sat} 以下まで低下すればコントラストが低下する。

【0039】図23に示した等価回路に、補助容量 C_s 68と TFT 69を加えた回路を、図31に示す。この図は、一画素分の電気的および電気光学的応答を示す等価回路と考えることができる。前記したように、 C_{LC} 56は液晶の容量のうちの速い成分の誘電応答部を、 C_{HX} 57は液晶の容量のうちの遅い成分の誘電応答部を、それぞれ表す。

【0040】 TFT 69のソース70は画素電極に接続され、ドレイン71は信号線に接続されている。ゲート72とソース70の間には、寄生容量 C_{gs} 73が存在する。この回路において、リセット駆動に対応して、書き込み前の表示が黒、書き込み後の表示が白の動作について考えた場合、ゲート選択時間中には、画素電極の電位 V_{pix} は信号線の電位 V_{sig} に近づいていく。ゲート選択時の書き込み能力(TFT 69のコンダクタンスで表される)が大きいと、ゲート選択時間終了時には、 V_{pix} は V_{sig} とほぼ一致するが、書き込み能力が小さい場合には、ゲート選択時間終了時での V_{pix} と V_{sig} の差は十分に小さくならない。

【0041】また、書き込み能力が大きい場合でも、ゲート選択時間中には、 C_s 68および C_{LC} 56での応答はほぼ終了するが、 C_{HX} 57での応答は終了しない。ゲート選択時間後に、 C_s 68や C_{LC} 56に蓄積された電荷が C_{HX} 57に移動し、平衡状態に近づいていく。平衡状態で C_{HX} 57に蓄積された電荷が、液晶の自発分極 P_s に相当する分より小さい場合には、輝度が最大輝度 T_{max} より低くなってしまふ。

【0042】以上のことから、自発分極を有する液晶を用いた液晶表示装置において、白表示のときに輝度が低くなる、という問題は、液晶の自発分極 P_s や応答時間 τ などの材料物性による部分と、 TFT の書き込み能力、補助容量 C_s の大きさなどの画素パラメータによる部分が複合して生じていると考えることができる。

【0043】コントラストの高い液晶表示素子を得ることを目的とし、液晶層を挟む電極間に印加される電圧の絶対値が、平衡状態において飽和電圧 V_{sat} 以上となるためには、

(I)画素電極に表示信号を書込むためのゲート選択時間 T_{gmn} を、液晶セルの応答時間 τ より長くする

(II) 補助容量 C_s や、液晶の誘電応答の速い成分の容量を大きくする

(III) 液晶層を挟む電極間に印加される電圧の最大値を大きくする

などの方法が考えられる。

【0044】これらの方法のうちで、(I)の方法に関しては、ゲート選択時間 T_{gon} の大きさは、表示素子の精細度により制約されるため、高精細な表示素子では、 T_{gon} を大きくすることができない。

【0045】ここで、液晶セルの応答時間 τ としては、前記したように、電圧印加後からの透過率の変化量が、印加前の液晶セルの透過率と印加後の液晶セルの透過率の差の90%に達するまでの時間をいう。一方、電気回路では、印加電圧の $1 - \exp(-1)$ 倍まで変動するまでに要する時間を、応答速度とすることが多いので、その時間を τ_0 (s) とすると、電位の応答により透過率が応答すると考えることができ、 τ と τ_0 とは、次式で表される関係を有する。

$$\tau = \tau_0 \times \log_e 10$$

自発分極を有する液晶において、液晶セルの応答時間 τ は、液晶材料の物性や配向膜の容量などによって定まる値であり、前記した(I)の条件を満たすように、液晶セルの応答時間をゲート選択時間 T_{gon} より小さくすることは、未だ達成されていない。

【0047】また、(II)の方法に関しては、補助容量 C_s の大きさは、一画素分の大きさやアレイ構造により制約されるため、無制限に大きくすることができず、また、液晶の誘電応答の速い成分の容量も、材料の物性によって定まる値であるため、一定限度を越えて大きくすることができない。さらに、補助容量 C_s や液晶の誘電応答の速い成分の容量を大きくすることは、スイッチング素子であるTFTが書込むべき容量が大きくなることに相当するが、TFTが選択されている際のオン抵抗が大きく、書込み能力が小さい場合には、抵抗により電流量が制限され、TFTが選択されている期間内に十分に電荷が供給されず、画素電極電位が十分に応答しない、ということが生じる。そのため、(II)の方法によるコントラストの改善も難しい。

【0048】さらには、印加信号の電圧は、ドライバーの耐圧により制約されるため、上限があり、(III)の方法によるコントラストの改善も難しい。

【0049】さらには、印加信号の電圧は、ドライバーの耐圧により制約されるため、上限があり、(III)の方法によるコントラストの改善も難しい。

【0050】また、自発分極と電場との相互作用で発生するトルクにより液晶が応答するため、自発分極を有する液晶の応答時間を τ_{LC} とすると、 τ_{LC} と自発分極 P_s との間には、一般に $\tau_{LC} = \eta / P_s$ という関係が成り立つ。ここで、 η は液晶の粘性などによって決まる定数である。すなわち、自発分極 P_s が小さすぎると、液晶の

応答時間 τ_{LC} が大きくなり、応答性の良い表示が得られないという問題が生じる。

【0051】また、自発分極を有する液晶を用いた表示装置において、画素電極と対向電極（共通電極）との間に印加する電圧の極性反転の周期 T_s を、フレーム時間 T_{frame} より長くし、液晶の応答時間 τ_{LC} 、ゲート選択時間 T_{gon} との間で、次式

$$T_s \geq T_{frame} \times (\tau_{LC} / T_{gon})$$

を満たすように駆動することにより、コントラストの高い表示を得るとい、擬似直流駆動方法が提案されている（特願平8-235571）。

【0052】しかしこの方法では、液晶の応答が1フレーム時間内で終了しないことが前提となっており、応答速度が遅いという問題がある。

【0053】さらに、自発分極を有する液晶では、配列に必要な電荷量が大きく、スイッチング素子であるTFTが書込むべき容量が大きくなるため、TFTのゲートが選択された場合に、チャネル層に流れる電流量が少なく、選択期間中に必要な電荷量を供給することができない。そのため、ゲート選択時間 T_{gon} 終了時における、画素電位と信号線電位との差である書込み不足電圧が、大きくなってしまいう問題がある。

【0054】ネマティック液晶を用いた液晶表示装置では、書込み不足電圧は最大で100～200mVとなるように設計されており、良好な表示が得られているが、書込み不足電圧が大きいと、ゲート選択時間 T_{gon} 内での液晶分子の回転角が小さくなり、スタティック駆動に比べて透過率が低下する。そして、コントラストが低くなるばかりでなく、ゲート配線遅延などによる書込み不足量のパネル内でのばらつきが大きくなり、パネル内でのコントラストの均一性が低下する、という問題が生じる。

【0055】一方、スイッチング素子であるTFTは、薄膜の絶縁膜、金属膜、半導体膜により構成されており、電極間に高電圧を印加した場合、静電破壊などのために素子が機能しなくなり、表示不良が発生するという問題がある。そのため、スイッチング素子のチャネル層に流れる電流量を、ある一定の値以下に抑えることが必要である。さらに、補助容量 C_s が大きくと、TFTとして書込むべき容量が大きくと、充放電に要する電荷量が増え、消費電力が増大するという問題がある。

【0056】さらに、自発分極を有する液晶を用いた液晶表示装置においては、ゲート線や信号線の配線に印加する電圧を変えた場合、信号の変動に伴う電荷の移動量が大きいと、ネマティック液晶を用いた装置に比べて、印加された信号の鈍りが生じやすい。信号の鈍りは、書込まれる電荷量の面内での不均一につながり、焼付き（液晶層に印加される電圧の直流成分による）やフリッカーを抑えるための対向電極電位が、面内で異なることとなる。そのため、表示の面内均一性の劣化が大き

くなる、という問題がある。

【0057】またさらに、本発明者らが、自発分極を有する液晶を用いた液晶素子において、アクティブマトリクス型の駆動方式における信号電圧と画素電位との関係について調べたところ、次のような結果を得た。

【0058】すなわち、図32(a)に示すように信号電圧 V_{sig} を印加したとき、同(b)に示すゲート電位がオフ時の保持期間(T_H)で、画素電位 V_{pix} は、同(c)に示すように、突き抜け電圧 ΔV_p だけ下がっている。これは、TFTにおいて、ゲートと画素電極との間の寄生容量 C_{gs} の存在により発生する現象であると考えられる。

【0059】まず、ゲートがオン状態のとき、ゲート電位は V_{gon} となり画素電極には V_{sig} が書込まれ、ゲート・画素電極間の寄生容量 C_{gs} 、補助容量 C_s 、液晶および配向膜からなる容量 C_{cell} には、これらの電位に対応した電荷が蓄えられる。その後、ゲートがオフ状態となり、ゲート電位は V_{gorr} に画素電位がフローティングになると、蓄えられた電荷は、この条件で C_{gs} 、 C_s 、 C_{cell} に再配分される。これにより、ゲートがオフ状態となったところで、画素電位の低下、つまりフィードスルー現象が生じる。

【0060】この現象は、ネマティック液晶を用いたTFT-TN方式の液晶表示装置においてもみられるが、液晶の応答速度が遅いため、保持期間中に光学応答が滑らかに変化し、時間平均した極性間の輝度差が視認されづらい。これに対して、自発分極を有する液晶を用いた液晶表示装置では、液晶および配向膜にかかる電圧に対して、液晶が瞬時に応答するため、印加する信号電圧の極性に応じて輝度レベルが大きく異なることとなる。このように、信号電圧の極性によって表示輝度レベルが異なることは、極性反転の周期にもよるが、ちらつき等の表示不良をもたらすという問題がある。また、実際に液晶および配向膜にかかる電圧は、極性によって異なるため、いわゆる焼き付き等の表示劣化が発生するおそれもある。

【0061】本発明者らは、このような突き抜け電圧と信号電圧との関係について詳細に調べ、以下に示す結果を得た。

【0062】図33は、自発分極を有する液晶を用いた液晶表示装置における、突き抜け電圧 ΔV_p の信号電圧依存性を表すグラフである。

*

$$P_s \times A \leq 5 \times (C_s + C_{lc}) \times E \quad \dots\dots\dots (1)$$

を満足させることを特徴とする。

【0068】請求項2記載の液晶表示装置は、請求項1記載の液晶表示装置において、スイッチング素子が、薄膜トランジスタ(TFT)であることを特徴とする。

【0069】請求項3記載の液晶表示装置は、請求項2※

$$(P_s \times A + (C_s + C_{lc}) \times E) / (2 \times T_{gon}) \leq I_{on} \quad \dots\dots\dots (2)$$

を満足させることを特徴とする。

*【0063】この図からわかるように、突き抜け電圧 V_p の値は常に正で、信号電圧の極性に対して対称となっている。また、信号電圧の絶対値が大きくなるほど、突き抜け電圧は増加している。

【0064】この結果は、従来のネマティック液晶を用いた液晶表示装置での関係とは逆の傾向を示し、信号電圧が大きいくほど画素電位の極性間差が大きいため、焼き付き等の劣化が進みやすいと考えられる。さらに、突き抜け電圧の信号電圧依存性が、ネマティック液晶を用いた装置に比べて極めて大きく、これにより、極性間の輝度レベルの差が大きくなることがわかった。

【0065】本発明は、前記した多くの問題点およびそれに対する調査・考察の結果に鑑みてなされたものであり、固有のまたは電場を印加することにより誘起される自発分極を有する液晶が、マトリクス状に配置された画素電極と対向電極との間に挟持され、スイッチング素子を介して表示信号が画素電極に印加されるように構成された液晶表示装置において、コントラストが高く応答速度が速い表示が得られるようにすることを目的とする。また、消費電力が低く、均一性に優れ画質の良好な表示が得られるようにすることを目的とする。

【0066】さらに、印加電圧の極性の違いにより生じる輝度差に起因する、表示のちらつきや表示劣化をなくし、表示の均一性などの表示特性を向上させることを目的としている。

【0067】

【課題を解決するための手段】本発明の請求項1記載の液晶表示装置は、第1の基板と、前記第1の基板上にマトリクス状に配置された画素電極と、前記画素電極に接続された補助容量と、前記画素電極に接続されたスイッチング素子と、前記画素電極に近接して配設された、固有のまたは電場を印加することにより誘起される自発分極を有する液晶層と、前記液晶層の上に形成された共通電極と、前記共通電極の上に配置された第2の基板とを備えた液晶表示装置において、前記液晶の飽和配向状態における一面素分の静電容量を C_{lc} (F)、前記液晶の単位面積当たりの自発分極を P_s (C/m²)、前記画素電極と前記共通電極との間に加えられる電圧をE

(V)、一面素分の画素電極の面積をA(m²)、一面素分の補助容量を C_s (F)としたとき、これらが、次式

※記載の液晶表示装置において、1フレーム時間内で前記薄膜トランジスタのゲート電極が選択される期間を T_{gon} (s)、前記ゲート電極が選択されている期間に前記薄膜トランジスタのソース・ドレイン電極間に流れる電流の最大値を I_{on} (A)としたとき、次式

【0070】本発明の請求項4記載の液晶表示装置は、

15

第1の基板と、前記第1の基板上にマトリクス状に配置された画素電極と、前記画素電極に接続された補助容量と、前記画素電極に接続されたスイッチング素子と、前記画素電極に近接して配設された、固有のまたは電場を印加することにより誘起される自発分極を有する液晶層と、前記液晶層の上に形成された共通電極と、前記共通電極の上に配置された第2の基板とを備えた液晶表示装置において、前記液晶の飽和配向状態における一画素分の静電容量を C_{LC} (F)、前記液晶の単位面積当たりの*

$$E \geq V_{sat}$$

$$\text{かつ } F \leq 1$$

を満足させることを特徴とする。但し、 $F = P_s \times A \times \exp(- (T_{gon} \times \log 10 / \tau)) / ((C_s + C_{LC}) \times (E - V_{sat}))$ とする。

$$P_s \geq P_1$$

が成り立つことを特徴とする。

【0072】請求項6記載の液晶表示装置は、請求項4記載の液晶表示装置において、スイッチング素子が、薄膜トランジスタ(TFT)であることを特徴とする。★

$$F \leq 1/2$$

を満足させることを特徴とする。

【0074】請求項8記載の液晶表示装置は、請求項6記載の液晶表示装置において、前記スイッチング素子 ☆

$$F \leq 2/3$$

を満足させることを特徴とする。

【0075】請求項9記載の液晶表示装置は、請求項6記載の液晶表示装置において、前記スイッチング素子 ◆

$$F \leq 1/3$$

を満足させることを特徴とする。

【0076】前記した式(1)を満たすように補助容量 C_s を大きくすると、ゲート選択時間 T_{gon} 後に、補助容量から液晶の容量のうちの遅い成分の誘電応答部に電荷が移動しても、保持電圧の低下は小さくなり、ステイック駆動時の配列に近い液晶配列状態が得られる。これにより、極性反転をフレーム時間ごとに行う交流駆動では、コントラストを向上させることができる。また、極性反転をフレーム時間よりも長い周期で行う擬似直流駆動でも、保持電圧の低下を小さくすることができ、配向が飽和するまでのフレーム数が減るので、応答速度を速くすることができる。

【0077】また、補助容量 C_s を大きくすると、上記したように液晶の配列によるコントラストを改善することができるが、スイッチング素子であるTFTが書き込むべき容量が大きくなるため、ゲート選択時間 T_{gon} 終了時での画素電位と信号線電位との差である書き込み不足電圧が増加し、コントラストが低下する。しかし、TFTのソース・ドレイン電極間に流れる電流の最大値 I_{on} を、式(2)を満たすように設定すれば、書き込み不足量が小さくなるので、コントラストの低下を防ぐことができる。

16

*自発分極を P_s (C/m^2)、前記画素電極と前記共通電極との間に加えられる電圧を E (V)、一画素分の画素電極の面積を A (m^2)、一画素分の補助容量を C_s (F)、前記画素電極に表示信号を書込むために前記スイッチング素子が選択される期間を T_{gon} (s)、前記画素電極と前記共通電極の間に電圧 E (V)を印加した場合の液晶セルの応答時間を τ (s)、液晶表示素子の飽和電圧を V_{sat} (V)としたとき、

$$\dots\dots\dots (3')$$

$$\dots\dots\dots (3)$$

※【0071】請求項5記載の液晶表示装置は、請求項4記載の液晶表示装置において、 $P_1 = 5 \times 10^{-6}$ (C/m^2)としたとき、さらに次式

$$\dots\dots\dots (4)$$

★【0073】請求項7記載の液晶表示装置は、請求項6記載の液晶表示装置において、前記スイッチング素子が、多結晶シリコン層を有する薄膜トランジスタ(TFT)であり、次式

$$\dots\dots\dots (5)$$

☆が、非晶質シリコン層を有する薄膜トランジスタ(TFT)であり、次式

$$\dots\dots\dots (6)$$

◆が、非晶質シリコン層を有する薄膜トランジスタ(TFT)であり、次式

$$\dots\dots\dots (7)$$

【0078】さらには、このような液晶表示装置に、信号線に印加する電位を記憶しておくためのフレームメモリを具備させ、1フレーム時間を複数のサブフレーム時間に分割し、それぞれのサブフレーム時間内で、ゲート線が1回ずつオン状態に選択されるようにすると、1フレーム時間で、補助容量や液晶の容量のうちの遅い成分の誘電応答部に蓄積された電荷が、遅い成分の誘電応答部に移動する回数が増えるので、コントラストを向上させることができる。

【0079】また、液晶の応答時間 τ_{LC} は、数 ~ 10 ms以下であることが望ましく、 τ_{LC} を短くするには、自発分極 P_s と電場 E とのカップリングによって生じるトルクを大きく保つことが必要である。そのために、 P_s をある程度以上に大きくすることが必要となる。

【0080】 τ_{LC} と自発分極 P_s の間には、液晶の粘性などによって決まる定数 η を用いて、以下に示す関係式が成り立つ。

【0081】 $\tau_{LC} = \eta / P_s \eta$ の値は、 $5 \times 10^{-8} \sim 5 \times 10^{-7} C \cdot s / m^2$ であることが多い。このような液晶材料に対して、 τ_{LC} が 10 ms ($1 \times 10^{-2} s$)以下であるためには、 P_s は $5 \times 10^{-6} C / m^2$ ($0.5 nC / cm^2$)以上であることが望ましく、式(4)が成り

立つ必要がある。

$$(C_s + C_{lc}) \times E / 5 \leq P_s \times A$$

を満たすような表示装置とすることにより、補助容量 C_s の大きさを小さくすることができる。補助容量 C_s の小さい表示装置では、TFTが書込むべき容量が小さくなるので、充放電に要する電荷量が抑えられ、消費電力の増大が防止される。

【0083】またさらに、スイッチング素子であるTFTに静電破壊が生じないためには、TFTの各電極間への印加電圧を一定値以下に抑え、ソース・ドレイン間に流れる電流値も、一定値以下にする必要がある。

【0084】チャネル幅 W が $3 \mu m$ 、チャネル長 L が $10 \mu m$ で、移動度がおおよそ $100 \text{ cm}^2 / (\text{V} \cdot \text{s})$ の多結晶シリコンの膜をチャネル層とするTFTの場合、静電破壊を起こさないためには、ソース・ドレイン間に流れる電流値は、 $3 \times 10^{-4} \text{ A}$ より小さくする必要がある。また、同じチャネル幅 W とチャネル長 L で、移動度がおおよそ $0.6 \text{ cm}^2 / (\text{V} \cdot \text{s})$ の非晶質シリコン膜をチャネル層とするTFTでは、静電破壊を起こさないためには、同様な電流値は、 $2 \times 10^{-5} \text{ A}$ より小さくする必要がある。

【0085】一方、TFTを持たず、画素電極の面積 A が $1 \times 10^{-4} \text{ m}^2$ であるダミーセルに対して、5Vの電

$$E \geq V_{sat}$$

$$\text{かつ } F \leq 1$$

$$F = P_s \times A \times \exp \left(- (T_{gon} \times \log 10 / \tau) \right) / \left((C_s + C_{lc}) \times (E - V_{sat}) \right)$$

を満たすことにより、白表示時に高輝度が得られ、コントラストの高い表示が達成され、さらに、 $F \leq 1/2$

$$\dots\dots\dots (5)$$

$$F \leq 2/3$$

を満たすことにより、白表示時に高輝度が得られ、コントラストの高い表示が達成され、さらに、 $F \leq 1/3$

$$\dots\dots\dots (7)$$

を満たすことにより、面内の均一性の良い表示を得ることができる。

【0090】前記したように、自発分極を有する液晶を用いた表示装置において、白表示時に輝度が低くなるという問題は、液晶材料の物性に起因する要素と、画素パラメータに起因する要素とが複合して生じている。無し

【0091】また、ゲート線や信号線の配線に遅延を取り込むような回路を付加してシミュレーションを行なう

【0082】さらに、次式

$$\dots\dots\dots (1-1)$$

*圧を印加した場合に、画素電極に流れ込む電流値は、 P_s が $1 \times 10^{-3} \text{ C/m}^2$ (100 nC/cm^2)程度の自発分極を有する液晶をダミーセルに入れた場合でも、 $2 \times 10^{-2} \text{ A}$ 程度である。

【0086】液晶表示素子の画素電極面積は、画面サイズと精細度などにより決まるが、一般的には $3 \times 10^{-10} \sim 5 \times 10^{-8} \text{ m}^2$ であり、面積に比例した電流が流れるとすると、スイッチング素子に流れるべき電流量は、 $6 \times 10^{-8} \sim 1 \times 10^{-5} \text{ A}$ となる。

【0087】このように、自発分極を有する液晶を用いた液晶表示素子のTFTに流れるべき電流量は、TFTが静電破壊を起こさないための電流の最大値である $3 \times 10^{-4} \text{ A}$ よりも小さい。したがって、TFTのソース・ドレイン間に流れる電流値を、 $3 \times 10^{-4} \text{ A}$ ($= I_{max}$)より小さくすることで、TFTの静電破壊を防止することができる。

【0088】さらに、自発分極を有する液晶がマトリクス状に配向された画素電極と対向電極との間に挟持され、チャネル層として多結晶シリコン層を有するTFTを備えた液晶表示装置においては、式

$$\dots\dots\dots (3')$$

$$\dots\dots\dots (3) \quad \text{但し、}$$

※を満たすことにより、面内の均一性の良い表示を得ることができる。

【0089】また、同様に自発分極を有する液晶を有し、チャネル層として非晶質シリコン層を有するTFTを備えた液晶表示装置においては、式

$$\dots\dots\dots (6)$$

ことにより、配線遅延の影響による配線方向での表示の均一性を、評価することが可能である。

【0092】理想的なオン・オフ特性を持つスイッチング素子を用いた場合に、液晶材料物性と補助容量 C_s に求められる関係については、図34に示すように、スイッチを組込んだ等価回路を用いて考えることができる。ここで、スイッチ74のオン・オフは、TFTのゲートパルスの選択・非選択と同様のタイミングで起こるとする。

【0093】このような等価回路を用いることで、液晶の電気的および電気光学的応答を解析的に解くことができる。この回路において、配線における信号波形の鈍りが無い場合に、リセット駆動を行ない、書込み期間前に画素電位 V_{pix} が対向電極電位 V_{com} に等しくなっているとすると、平衡状態において最大輝度が得られるための条件は、以下のようにして求められる。

【0094】ゲート選択時間 T_{gon} の間に、補助容量 C_s 68および C_{lc} 56での応答は終了し、配向膜での電位降下が小さいと考えると、印加電圧 E により C_s 68

10

20

※30

40

50

と C_{LC} 56に蓄積される電荷量の和 Q_1 は、式(3-1)で表される。但し、 E は正とする。

$$Q_1 = (C_s + C_{LC}) \times E \quad \dots\dots\dots (3-1)$$

書き込み期間中に液晶分子が応答することにより、 C_{hx} 57に蓄積される電荷量 Q_2 は、前記した液晶の応答時間 τ_e を用いて、式(3-2)で表される。

$$Q_2 = P_s \times A \times (1 - \exp(-T_{gon} / \tau_e)) \quad \dots\dots\dots (3-2)$$

一方、平衡状態で最大輝度が得られるために必要な電荷量 Q_3 は、式(3-3)で表される。

$$Q_3 = (C_s + C_{LC}) \times V_{sat} + P_s \times A \quad \dots\dots\dots (3-3)$$

平衡状態で最大輝度が得られるには、 Q_1 と Q_2 との和が Q_3 以上になることが必要であり、したがって以下の式(3)が成り立つ必要がある。

【0098】 $F = P_s \times A \times \exp(-(T_{gon} \times \log 10 / \tau)) / ((C_s + C_{LC}) \times (E - V_{sat})) \leq 1$

図30に示した等価回路に対し、自発分極などの液晶材料の物性定数や、TFTの書き込み能力、補助容量 C_s の大きさなどの画素パラメータとして様々な値を設定し、SPICEを用いて回路シミュレーションを行った。

【0099】画素電極面積 A を $2 \times 10^{-4} \text{ cm}^2$ ($2 \times 10^{-8} \text{ m}^2$)とし、 P_s は $1 \sim 100 \text{ nC/cm}^2$ ($1 \times 10^{-5} \sim 1 \times 10^{-3} \text{ C/m}^2$)、 C_s は $0 \sim 2 \text{ pF}$ 、 C_{LC} は $0.2 \sim 1 \text{ pF}$ 、 C_{series} は $5 \sim 50 \text{ pF}$ の範囲で変え、その他の材料定数や画素パラメータもいくつかの条件を設定して検討した。駆動条件としては、ゲートパルス電圧を $30 \sim 40 \text{ V}$ 、印加電圧 E を $0 \sim 7 \text{ V}$ 、ゲート選択時間 T_{gon} を $0.5 \sim 64 \mu\text{s}$ とした。TFTのチャネル層としては、多結晶シリコン膜または非晶質シリ

$$C_{hx} = P_s \times A / V_{sat-LC}$$

このシミュレーションによる検討の結果、チャネル層が多結晶シリコン膜の場合(a)において、書き込み期間後の平衡状態で最大輝度が得られるための P_s の最大値は、解析解の場合(c)とほぼ同じ大きさであることが判明した。また、チャネル層が非晶質シリコン膜の場合(b)は、前記した P_s の最大値が、解析解の場合(c)の2/3以下であることが判明した。また、上記とは異なる条件でシミュレーションを行なった場合でも、同様の結果が得られることが明らかとなった。

【0103】このことから、書き込み期間後の平衡状態で最大輝度が得られるためには、TFTのチャネル層が多結晶シリコン膜の場合には、式(3)を満たすことが必要であり、チャネル層が非晶質シリコン膜の場合には、式(6)を満たすことが必要であることが確かめられた。

【0104】また、図31に示した等価回路に、ゲート線や信号線の配線による遅延を取り込むような回路を付加してシミュレーションを行うことにより、配線遅延の影響による配線方向での表示の均一性の検討を行った。

【0105】画素電極面積 A を $2 \times 10^{-4} \text{ cm}^2$ ($2 \times 10^{-8} \text{ m}^2$)とし、 P_s は $1 \sim 100 \text{ nC/cm}^2$ ($1 \times 10^{-5} \sim 1 \times 10^{-3} \text{ C/m}^2$)、 C_s は $0 \sim 2 \text{ pF}$ 、 C_{LC} は $0.2 \sim 1 \text{ pF}$ 、 C_{series} は $5 \sim 50 \text{ pF}$ の範囲で変え、その他の材料定数や画素パラメータもいくつかの条件を設定して検討した。駆動条件としては、ゲートパルス電圧を $30 \sim 40 \text{ V}$ 、印加電圧 E を $0 \sim 7 \text{ V}$ 、ゲート選択時間 T_{gon} を $0.5 \sim 64 \mu\text{s}$ とした。TFTのチャネル層としては多結晶シリコン膜または非晶質シリコン膜を用いた場合について、それぞれ検討した。

*【0095】

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

*

【0100】このようなシミュレーションによる検討結果を、以下に示す。

【0101】図35は、TFTのチャネル層として多結晶シリコン膜または非晶質シリコン膜を用いた場合に、 C_s が $0 \sim 2 \text{ pF}$ に対して、書き込み期間後の平衡状態で最大輝度が得られるための P_s の最大値を示す。図中(a)が多結晶シリコン膜の場合を、(b)が非晶質シリコン膜の場合をそれぞれ示す。また、図34の等価回路に示すような理想的スイッチを仮定した場合での、書き込み期間後の平衡状態で最大輝度が得られるための P_s の最大値の解析解を、同(c)に示す。但し、 C_{LC} は 0.5 pF 、 C_{series} は 10 pF 、ゲートパルス電圧は 40 V 、印加電圧 E は 5 V 、ゲート選択時間 T_{gon} は $21 \mu\text{s}$ としている。また、飽和電圧 V_{sat} を印加した場合に液晶にかかる電圧 V_{sat-LC} を 1.25 V とし、 P_s と C_{hx} とは次式(4-4)の関係を持つとしている。

【0102】 $\dots\dots\dots (3-4)$
 $0.5 \sim 1 \times 10^{-3} \text{ C/m}^2$)、 C_s は $0 \sim 2 \text{ pF}$ 、 C_{LC} は $0.2 \sim 1 \text{ pF}$ 、 C_{series} は $5 \sim 50 \text{ pF}$ の範囲で変え、その他の材料定数や画素パラメータもいくつかの条件を設定して検討した。駆動条件としては、ゲートパルス電圧を $30 \sim 40 \text{ V}$ 、印加電圧 E を $0 \sim 7 \text{ V}$ 、ゲート選択時間 T_{gon} を $0.5 \sim 64 \mu\text{s}$ とした。TFTのチャネル層としては多結晶シリコン膜または非晶質シリコン膜を用いた場合について、それぞれ検討した。

【0106】このようなシミュレーションによる検討結果を、以下に示す。

【0107】信号線やゲート線に同じ信号を印加した場合に、配線の遅延の有無により、書き込み期間後の平衡状態で C_{hx} 57に蓄積される電荷の差が大きいと、配線方向に電位が均一でなくなるうえに、焼付きやフリッカなどが発生することになる。表示が均一であるために、同じ信号を印加した場合に、配線遅延の有無で C_{hx} 57に蓄積される電荷の差が10%以下となる条件を検討した。

【0108】図36は、TFTのチャネル層として多結晶シリコン膜または非晶質シリコン膜を用いた場合に、 C_s が $0 \sim 2 \text{ pF}$ に対して、配線遅延がある場合と無い

場合とで、書き込み期間後の平衡状態で C_{hx} に蓄積される電荷の差が 10% 以下となるための P_s の最大値を示す。図中 (a) が多結晶シリコン膜の場合を、(b) が非晶質シリコン膜の場合をそれぞれ示す。また、図 34 の等価回路に示すような理想的スイッチを仮定した場合での、書き込み期間後の平衡状態で最大輝度が得られるための P_s の最大値の解析解を、同 (c) に示す。但し、 C_{ic} は 0.5 pF、 C_{series} は 10 pF、ゲートパルス電圧は 40 V、印加電圧 E は 5 V、ゲート選択時間 T_{gon} は 21 μ m としている。また、飽和電圧 V_{sat} を印加した場合に液晶にかかる電圧 V_{sat-ic} を 1.25 V とし、 P_s と C_{hx} とは前記式 (3-4) の関係を持つとしている。

【0109】このシミュレーションによる検討の結果、チャネル層が多結晶シリコン膜の場合 (a) において、配線の遅延がある場合と無い場合とで、書き込み期間後の平衡状態で C_{hx} に蓄積される電荷の差が 10% 以下となるための P_s の最大値は、最大輝度が得られるための P_s の最大値の解析解 (c) の、1/2 以下であることが判明した。また、チャネル層が非晶質シリコンの場合 (b) は、配線遅延による電荷の差が 10% 以下となるための P_s の最大値は、最大輝度が得られるための P_s の最大値の解析解 (c) の、1/3 以下であることが判明した。また、上記とは異なる条件でシミュレーションを行なった場合でも、同様の結果が得られることが明らかとなった。

【0110】このことから、配線遅延がある場合でも、*

$$5 \times C_{gs} \times \Delta V_g \leq (C_s + C_{cell}) \times V_{sat} \quad \dots\dots\dots (8)$$

を満足させることを特徴とする。

【0112】本発明者らが、自発分極を有する液晶の電気容量に関する知見を得るために、インピーダンスアナライザ (HP 4192A, Hewlett Packard) を用いて測定したところ、図 39 に示すように、液晶の電気容量には、印加電圧依存性および周波数依存性があることがわかった。印加電圧が飽和電圧以下のとき、液晶の電気容量は、バイアス電圧に応じて変化し、かつバイアス電圧の極性に対して対称的である。そして、バイアス電圧が 0 V 付近で最大値を示し、バイアス電圧の絶対値が大きくなるにしたがって減少している。また、周波数が低いほど、液晶の電気容量が大きく、およそ 50 Hz 以下で飽和している。これはデバイ緩和型の誘電分散に類似しており、低周波での容量の増加分 *

$$\Delta V_p = C_{gs} \times \Delta V_g / (C_s + C_{cell}) \quad \dots\dots\dots (8-1)$$

一方、突き抜け電圧の大きさに応じて、表示される画像がどのように視認されるかを、動画シミュレータを用いて検討した。評価対象として 15 "XGA (768×1024) を想定し、表示装置を表示高さの 3 倍の位置から観察したとすると、1° 視野中に一方向で約 40 画素が含まれる。また、ドット反転方式の極性反転を用いたとして、隣接画素間で極性を反転した。

* 均一な表示が得られるためには、チャネル層が多結晶シリコン膜の場合には式 (5) を、チャネル層が非晶質シリコン膜の場合には式 (7) を、それぞれ満足させることが必要であることが確かめられた。

【0111】なお、図 35 および図 36 に、式 (1)、式 (1-1) あるいは式 (4) で限定される P_s の値を付け加えたグラフを、図 37 および図 38 にそれぞれ示す。これらの図において、(d) は式 (1) を満たす P_s の最大値を、(e) は式 (1-1) を満たす P_s の最小値を、(f) は式 (4) を満たす P_s の最小値をそれぞれ示している。本発明の請求項 10 記載の液晶表示装置は、第 1 の基板と、前記第 1 の基板上にマトリクス状に配置された画素電極と、前記画素電極に接続された補助容量と、前記画素電極に接続された薄膜トランジスタからなるスイッチング素子と、前記画素電極に近接して配設された、固有のまたは電場を印加することにより誘起される自発分極を有する液晶層と、前記液晶層の上に形成された共通電極と、前記共通電極の上に配置された第 2 の基板とを備えた液晶表示装置において、前記液晶の自発分極に起因する強誘電的容量と配向膜の容量からなる合成容量の一画素分を C_{cell} (F)、前記薄膜トランジスタのゲート電極と前記画素電極との間の寄生容量の一画素分を C_{gs} (F)、前記補助容量の一画素分を C_s (F)、オン・オフ時の前記ゲート電極の電位差を ΔV_g (V)、液晶表示素子の飽和電圧を V_{sat} (V) としたとき、次式

※は、応答の遅い自発分極の反転による寄与であると考えられる。

【0113】この結果から得られた応答の遅い部分の電気容量、すなわち自発分極の反転に起因する部分を含めた液晶容量を用いて、突き抜け電圧 ΔV_p を計算し、測定結果と比較したところ、絶対値およびその信号電圧依存性に関して一致することがわかった。

【0114】したがって、突き抜け電圧は、自発分極を有する液晶の自発分極に起因する容量と、配向膜の容量からなる合成容量 C_{cell} と、ゲート・画素電極間の寄生容量 C_{gs} と、補助容量 C_s 、およびオン・オフ状態でのゲート電位差 ΔV_g から、次式 (8-1) のように決定されることがわかった。

【0115】

【0116】このシミュレータを用いて表示される画像を、50 人の被験者が観察し、「表示のちらつき」「表示むら」等に関し評価を行った。そして、表示のちらつきおよび表示むらが視認されない品位の高い表示装置のための、突き抜け電圧の許容値を導いた。

【0117】この評価結果から、上記の条件では、 $\Delta V_p / V_{sat} \leq 0.20$ が好ましいことがわかった。

【0118】したがって、自発分極を有する液晶を用いた液晶表示装置において、式(8)を満足させることにより、表示のちらつきやむらのない品位の高い表示が実現される。

【0119】

【発明の実施の形態】以下、図面を参照して、本発明の好適な実施の形態について説明する。なお、これらの実施例は、本発明の理解を容易にする目的で記載されるものであり、本発明の主旨を変えない範囲で種々変更して用いることができる。

【0120】実施例1

図1は、本発明の液晶表示装置の第1の実施例の概略構成を示す図であり、図1(a)は平面図、図1(b)は断面図である。また、図2は、この液晶表示装置の第1の基板の画素部を拡大して示す図であり、図2(a)は平面図、図2(b)は図2(a)におけるA-A'断面図である。

【0121】ガラスなどからなる第1の基板1の上に、ゲート線2、補助容量線3、信号線4からなる配線が形成されている。ゲート線2と補助容量線3は同一時に形成され、AlやAl-Y合金、Al-Nd合金、Mo-W合金などの金属から構成される。信号線4はゲート線2と直交するように形成され、AlやAl-Y合金、Al-Nd合金などの金属から構成される。

【0122】そして、ゲート線2と信号線4の交点近傍には、TFTからなるスイッチング素子5がマトリクス状に形成されている。すなわち、ゲート線2と同時にゲート電極2aが形成され、ゲート線2と接続されている。ゲート線2、ゲート電極2aおよび補助容量線3の上に、SiO₂やTa₂O₅等からなるゲート絶縁膜6が形成されており、ゲート電極2aを覆うようにアモルファスシリコンからなるチャネル層7が形成されている。チャネル層7の上には、SiN_xからなるエッチングストップ層8が形成され、チャネル層7は、Pドープアモルファスシリコンからなるコンタクト層9a、9bに接続されている。また、コンタクト層9a、9bの上に、ソース電極10aおよびドレイン電極10bがそれ

ぞれ形成され、ドレイン電極10bは信号線4に接続されている。さらに、ソース電極10aには、ITO(Indium Tin Oxide)などの透明導電膜からなる画素電極11が接続されており、補助容量線3と画素電極11との間で補助容量12が形成されている。これらゲート線2、信号線4、スイッチング素子5および画素電極11の上に、ポリイミド樹脂などからなる配向膜13aが設けられている。

【0123】第1の基板1に対向して配置された、ガラスなどからなる第2の基板14の上には、カラーフィルター(CF)層15と、このCF層15上にITOなどの透明導電膜からなる共通電極16がそれぞれ設けられ、さらに共通電極16上に、ポリイミド樹脂などからなる配向膜13bが設けられている。そして、第1の基板1に設けられたスイッチング素子5および画素電極11と、第2の基板14に設けられた共通電極16との間に、強誘電性液晶FLC、反強誘電性液晶AFLC、DHF、TFLCなど、固有のまたは電場を印加することにより誘起される自発分極を有する液晶17が挟持されている。また、これら第1および第2の基板1、14の外面に、偏光板18a、18bがそれぞれ貼着されている。なお、図中、符号19は、スペーサ粒子(球状パール)を、20は紫外線硬化樹脂等からなるシール剤をそれぞれ示している。

【0124】さらに、ゲート線2および信号線4は、それぞれゲート線ドライバー21、信号線ドライバー22などの周辺駆動回路と接続されている。これらの周辺駆動回路には、単結晶Si上に形成した集積回路が用いられる。

【0125】本発明に基づく液晶表示素子によるコントラスト改善の効果を評価するため、各種の液晶材料および特性の異なる画素構造を用いて、前記した構造の液晶表示装置を作製し、その性能を評価した。その結果を、表1および表2に示す。

【0126】

【表1】

例	液晶の 静電容量 C_{LC} (F)	補助容量 C_s (F)	自発分極 P_s (C/m ²)	$P_s \times A$ (C)	$5 \times (C_s + C_{LC}) \times E$ (C)
1	0.3×10^{-12}	1.2×10^{-12}	2.0×10^{-3}	3.6×10^{-11}	3.8×10^{-11}
2	0.3×10^{-12}	2.0×10^{-12}	2.0×10^{-3}	3.6×10^{-11}	5.8×10^{-11}
3	0.1×10^{-12}	0.8×10^{-12}	1.1×10^{-3}	2.0×10^{-11}	2.3×10^{-11}
4	0.1×10^{-12}	1.2×10^{-12}	1.1×10^{-3}	2.0×10^{-11}	3.3×10^{-11}
5	0.1×10^{-12}	2.0×10^{-12}	1.1×10^{-3}	2.0×10^{-11}	5.3×10^{-11}
6	0.1×10^{-12}	0.4×10^{-12}	2.0×10^{-4}	3.6×10^{-12}	1.3×10^{-11}
7	0.1×10^{-12}	0.8×10^{-12}	2.0×10^{-4}	3.6×10^{-12}	2.3×10^{-11}
8	0.1×10^{-12}	1.2×10^{-12}	2.0×10^{-4}	3.6×10^{-12}	3.3×10^{-11}
9	1.0×10^{-12}	0.8×10^{-12}	2.4×10^{-3}	4.3×10^{-11}	4.5×10^{-11}
10	1.0×10^{-12}	1.2×10^{-12}	2.4×10^{-3}	4.3×10^{-11}	5.5×10^{-11}
11	1.0×10^{-12}	2.0×10^{-12}	2.4×10^{-3}	4.3×10^{-11}	7.5×10^{-11}

【表2】

例	液晶の 静電容量 C_{LC} (F)	補助容量 C_s (F)	自発分極 P_s (C/m ²)	$P_s \times A$ (C)	$5 \times (C_s + C_{LC}) \times E$ (C)
1	0.3×10^{-12}	0.4×10^{-12}	2.0×10^{-3}	3.6×10^{-11}	1.8×10^{-11}
2	0.3×10^{-12}	0.8×10^{-12}	2.0×10^{-3}	3.6×10^{-11}	2.8×10^{-11}
3	0.1×10^{-12}	0.4×10^{-12}	1.1×10^{-3}	2.0×10^{-11}	1.3×10^{-11}
4	1.0×10^{-12}	0.4×10^{-12}	2.4×10^{-3}	4.3×10^{-11}	3.5×10^{-11}

ここで、補助容量12の数値としては、0.4、0.

8、1.2、2.0 (pF)を選んだ。なお、表1は、式(1)の条件を満足する液晶表示素子についてのデータ、表2は、比較のため、式(1)の条件を満足しない

液晶表示素子についてのデータである。
【0127】画素のサイズは $100\mu\text{m} \times 300\mu\text{m}$ であり、一画素分の画素電極の面積Aは $1.8 \times 10^{-8}\text{m}^2$ である。セルギャップは、直径 $2\mu\text{m}$ の球状パール19を配向膜13bの上に散布することにより、 $2\mu\text{m}$ に設定されている。また、画素電極11と共通電極16との間に加えられる電圧Eは、5Vである。液晶17材料としては、チソ社製のLIXON CS2005、ロシュ社製のFLC9807などを用いた。

【0128】表1に示した式(1)の条件を満足するデ

ータを有する液晶表示素子は、コントラストの値として30以上の値を示し、良好な画質を得ることができた。これに対して、表2に示した式(1)の条件を満足しないデータを有する液晶表示素子では、コントラストの値が10以下となり、良好な画質は得られなかった。

【0129】また、式(1-1)の条件を満たす場合には、消費電力の増大を抑えることができた。さらに、式(4)の条件を満たす場合には、液晶材料の応答時間 τ_{LC} を10msより短くすることができ、高速応答の表示装置を得ることができた。

【0130】スイッチング素子としてTFTを用い、固有のまたは電場を印加することにより誘起される自発分極を有する液晶材料を用いたTFT-LCDの画素部分の電気的等価回路は、図3で表わされる。

【0131】この回路は、液晶材料の常誘電性に相当する容量成分(C_{LC})23、液晶材料の自発分極を等価的に表した容量成分(C_{hx})24、液晶の粘性による回転の遅れを等価的に記述する抵抗成分25、液晶分子の配向膜の容量成分26、画素電極部分の抵抗成分27、TFTからなるスイッチング素子28、ゲート電極2aとドレイン電極10bとの間の容量成分29、画素電極11と補助容量電極30との間の補助容量12を有する。

【0132】液晶材料の飽和電圧を V_{sat-LC} 、一画素分の画素電極の面積を A としたとき、 C_{hx} は自発分極 P_s の値を用いて

$$C_{hx} = P_s \times A / V_{sat-LC}$$

と表すことができる。

【0133】このような等価回路に対して、TFTのゲート電極2a、ドレイン電極10b、共通電極16、補助容量電極30に、液晶表示装置を駆動する場合と同様の信号を印加する等価回路シミュレーションを行うことにより、画素電極11の電位の変動がわかり、表示装置の光学的応答性がわかる。

【0134】 $C_{LC} = 0.3 \times 10^{-12}$ F、 $P_s = 2.0 \times 10^{-3}$ C/m²、 $A = 1.8 \times 10^{-8}$ m²とし、電位が0Vの画素電極に対し、 $E = 5$ V、 $I_{on} = 1 \times 10^{-6}$ A、 $T_{on} = 3 \times 10^{-5}$ sという条件で信号を印加した場合の、液晶分子が回転して平衡状態に達した時点での画素電極の電位を、図4に示す。ここで、補助容量 C_s の値は、0.4 pF~2 pFと変化させている。

【0135】この図から、補助容量 C_s が大きくなると、平衡状態での画素電極の電位が高くなり、特に補助容量 C_s が1 pF以下では、1 pF以上の場合と比較して、電位が大きく低下していることがわかる。上記の条件では、(1)式で等号が成り立つ補助容量 C_s の大きさは、 $C_s = 1.14 \times 10^{-12}$ F = 1.14 pFであり、このシミュレーションからも、(1)式が成り立つ条件においてコントラストが高くなることが確認された。

【0136】実施例2

図5は、本発明の液晶表示装置の第2の実施例の要部を拡大して示す図であり、図5(a)は平面図、図5

(b)は図5(a)におけるB-B'断面図である。

【0137】ガラスなどからなる第1の基板1の上に、AlやAl-Y合金、Mo-Nd合金、Mo-W合金などの金属からなるゲート線2が平行に形成されており、それと同層でゲート電極2aが形成されている。ゲート線2およびゲート電極2a上に、SiO₂やTa₂O₅などからなるゲート絶縁膜6が形成されており、さらにゲート電極2aを覆うように、アモルファスシリコンからなるチャネル層7が形成されている。チャネル層7の上にはSiN_xからなるエッチングストップ層8が形成され、チャネル層7はPドーパアモルファスシリコンからなるコンタクト層9a、9bに接続されている。ゲ

ト線2と直交するように、AlやAl-Y合金、Al-Nd合金などの金属からなる信号線4が形成されており、同時にソース電極10aおよびドレイン電極10bが、コンタクト層9a、9bの上にそれぞれ形成されている。このように、ゲート線2と信号線4の交点近傍に、TFTからなるスイッチング素子5がマトリクス状に形成されている。

【0138】また、これらゲート線2、信号線4、スイッチング素子5上には、SiN_xなどからなる第1の層間絶縁膜31が形成され、さらにスイッチング素子5上を除きその上に、ITOなどの透明導電膜からなる補助容量線3が形成されている。補助容量線3の上には、SiN_xなどからなる第2の層間絶縁膜32が形成され、さらにその上にはITOなどの透明導電膜からなる画素電極11が形成されており、スルーホールを介してソース電極10aと接続されている。そして、補助容量線3と画素電極11との間で、補助容量12が形成されている。さらに、画素電極11および第2の層間絶縁膜32の上に、ポリイミド樹脂などからなる配向膜13aが設けられている。

【0139】また、図示を省略したが、実施例1と同様に、第1の基板に相対向して配置された、ガラスなどからなる第2の基板の上に、CF層と、このCF層上にITOなどからなる共通電極が設けられ、さらにこの共通電極上にポリイミド樹脂などからなる配向膜が設けられている。そして、第1の基板に設けられたスイッチング素子および画素電極と、第2の基板に設けられた共通電極との間に、強誘電性液晶FLC、反強誘電性液晶AFLC、DHF、TFLCなど、固有のまたは電場を印加することにより誘起される自発分極を有する液晶が挟持されている。また、これら第1および第2の基板の外面に、それぞれ偏光板が貼着された構造となっている。

【0140】以上のような画素構造を有する液晶表示素子では、補助容量12を形成する電極がともに透明導電膜から形成されており、その面積を大きくしても、光がパネルを透過する部分の割合である開口率が小さくならない。そのため、輝度を下げることなく補助容量を大きく採ることができる。

【0141】そして、前記した画素構造を有する液晶表示装置においても、実施例1の液晶表示装置と同様に、式(1)を満足する場合には、コントラストが30以上の値を示し、良好な画質を得ることができたが、式

(1)を満足しない場合には、コントラストの値が10以下となり、良好な画質は得られなかった。

【0142】また、式(1-1)の条件を満たす場合には、消費電力の増大を抑えることができた。さらに、式

(4)の条件を満たす場合には、液晶材料の応答時間 τ_{LC} を10msより短くすることができ、高速応答の表示装置を得ることができた。

【0143】実施例3

図6は、本発明の液晶表示装置の第3の実施例の概略構成を示す図であり、図6(a)は平面図、図6(b)は断面図である。また、図7は、この液晶表示装置の第1の基板の画素部を拡大して示す図であり、図7(a)は平面図、図7(b)は図7(a)におけるC-C'断面図である。

【0144】ガラスなどからなる第1の基板1の上に、多結晶Si膜からなるチャネル層7、コンタクト層9a、9b、補助容量形成部33が形成されている。これらチャネル層7、コンタクト層9a、9b、補助容量形成部33の上には、SiO₂やTa₂O₅などからなるゲート絶縁膜6が形成されており、チャネル層7の領域では、ゲート絶縁膜6の上に、AlやAl-Y合金、Al-Nd合金、Mo-W合金などの金属からなるゲート電極2aが形成され、それと同層でゲート線2が平行に形成されている。

【0145】そして、コンタクト層9a、9bや補助容量形成部33は、ゲート電極2aをマスクにして、PやAsなどのV族元素がイオンドーピング法などで注入されることにより、低抵抗層となっている。さらに、補助容量形成部33では、ゲート絶縁膜6の上に、AlやAl-Y合金、Al-Nd合金、Mo-W合金などの金属からなる補助容量線3が形成されている。

【0146】また、ゲート線2、ゲート電極2aや補助容量線3の上には、SiO₂やSiN_xなどからなる層間絶縁膜34が形成されている。層間絶縁膜34の上には、ゲート線2と直交するように、AlやAl-Y合金、Al-Nd合金などの金属からなる信号線4が形成されており、同時にソース電極10aおよびドレイン電極10bがそれぞれ形成され、層間絶縁膜34のスルーホールを介して、コンタクト層9a、9bとそれぞれ接続されている。また、ITOなどの透明導電膜からなる画素電極11も、層間絶縁膜34の上に形成されており、ソース電極10aと接続されている。このように、ゲート線2と信号線4の交点近傍に、TFTからなるスイッチング素子5がマトリクス状に形成されている。

【0147】そして、補助容量線3と補助容量形成部33との間で、第1の補助容量12aが形成され、補助容量線3と画素電極11との間で、第2の補助容量12bが形成されている。さらに、これらソース電極10a、

ドレイン電極10b、画素電極11、層間絶縁膜34の上に、ポリイミド樹脂などからなる配向膜13aが設けられている。なお、このような画素構造では、補助容量の大きさは、第1の補助容量12aと第2の補助容量12bとの和となり、実施例1と比較して大きな値をとることが可能である。

【0148】第1の基板1に相対向して配置された、ガラスなどからなる第2の基板14の上には、CF層15と、このCF層15上にITOなどの透明導電膜からなる共通電極16がそれぞれ設けられ、さらに共通電極16上に、ポリイミド樹脂などからなる配向膜13bが設けられている。そして、第1の基板1に設けられたスイッチング素子5および画素電極11と、第2の基板14に設けられた共通電極16との間に、強誘電性液晶FLC、反強誘電性液晶AFLC、DHF、TFLCなど、固有のまたは電場を印加することにより誘起される自発分極を有する液晶17が挟持されている。また、これら第1および第2の基板1、14の外面に、偏光板18a、18bが貼着されている。

【0149】さらに、ゲート線2および信号線4は、それぞれゲート線ドライバー21、信号線ドライバー22などの周辺駆動回路と接続されている。これらの周辺駆動回路は、多結晶Si膜から成るチャネル層を有し、画素部のスイッチング素子5と同時に第1の基板1上に形成されたスイッチング素子を有している。

【0150】なお、液晶パネルの駆動方法としては、分割駆動を行う点順次走査法と、線順次駆動法があり、ゲート選択時間T_{gon}は、前者においては1μs程度、後者においては15~64μs程度となる。線順次駆動を行う場合、ゲート線ドライバー21、信号線ドライバー22などの周辺駆動回路として、多結晶Si膜を用いたスイッチング素子の代わりに、単結晶Si上に形成した集積回路を用いても良い。

【0151】本発明に基づく液晶表示素子によるコントラスト改善の効果を評価するため、各種の液晶材料および特性の異なる画素構造を用いて、前記した構造の液晶表示装置を作製し、その性能を評価した。その結果を、表3および表4に示す。

【0152】

【表3】

例	液晶の 静電容量 C_{LC} (F)	補助容量 C_s (F)	自発分極 P_s (C/m^2)	ゲート選択 時間 T_{gon} (S)	(A)	電流 I_{on} (A)
					$P_s \times A + (C_s + CLC) \times E$ $2 \times T_{gon}$	
1	0.3×10^{-12}	1.2×10^{-12}	2.0×10^{-3}	1.0×10^{-6}	2.2×10^{-5}	3.0×10^{-5}
2	0.3×10^{-12}	2.0×10^{-12}	2.0×10^{-3}	1.0×10^{-6}	2.4×10^{-5}	3.0×10^{-5}
3	0.3×10^{-12}	1.2×10^{-12}	2.0×10^{-3}	1.0×10^{-6}	2.2×10^{-5}	3.0×10^{-5}
4	0.3×10^{-12}	2.0×10^{-12}	2.0×10^{-3}	1.0×10^{-6}	2.4×10^{-5}	3.0×10^{-5}
5	0.1×10^{-12}	0.8×10^{-12}	1.1×10^{-3}	1.0×10^{-6}	1.2×10^{-5}	3.0×10^{-5}
6	0.1×10^{-12}	1.2×10^{-12}	1.1×10^{-3}	1.0×10^{-6}	1.3×10^{-5}	3.0×10^{-5}
7	0.1×10^{-12}	2.0×10^{-12}	1.1×10^{-3}	1.0×10^{-6}	1.5×10^{-5}	3.0×10^{-5}
8	0.1×10^{-12}	0.8×10^{-12}	1.1×10^{-3}	0.6×10^{-6}	2.0×10^{-5}	3.0×10^{-5}
9	0.1×10^{-12}	1.2×10^{-12}	1.1×10^{-3}	0.6×10^{-6}	2.2×10^{-5}	3.0×10^{-5}
10	0.1×10^{-12}	2.0×10^{-12}	1.1×10^{-3}	0.6×10^{-6}	2.5×10^{-5}	3.0×10^{-5}
11	0.1×10^{-12}	0.4×10^{-12}	2.0×10^{-4}	0.6×10^{-6}	5.1×10^{-6}	3.0×10^{-5}
12	0.1×10^{-12}	0.8×10^{-12}	2.0×10^{-4}	0.6×10^{-6}	6.8×10^{-6}	3.0×10^{-5}
13	0.1×10^{-12}	1.2×10^{-12}	2.0×10^{-4}	0.6×10^{-6}	8.4×10^{-6}	3.0×10^{-5}
14	1.0×10^{-12}	0.8×10^{-12}	2.4×10^{-3}	1.0×10^{-6}	2.6×10^{-5}	3.0×10^{-5}
15	1.0×10^{-12}	1.2×10^{-12}	2.4×10^{-3}	1.0×10^{-6}	2.7×10^{-5}	3.0×10^{-5}
16	1.0×10^{-12}	2.0×10^{-12}	2.4×10^{-3}	1.0×10^{-6}	2.9×10^{-5}	3.0×10^{-5}

【表 4】

例	液晶の 静電容量 C_{LC} (F)	補助容量 C_s (F)	自発分極 P_s (C/m^2)	ゲート選択 時間 T_{gon} (S)	(A)	電流 I_{on} (A)
					$P_s \times A + (C_s + CLC) \times E$ $2 \times T_{gon}$	
1	0.3×10^{-12}	1.2×10^{-12}	2.0×10^{-3}	0.6×10^{-6}	3.6×10^{-5}	3.0×10^{-5}
2	0.3×10^{-12}	2.0×10^{-12}	2.0×10^{-3}	0.6×10^{-6}	4.0×10^{-5}	3.0×10^{-5}
3	1.0×10^{-12}	0.8×10^{-12}	2.4×10^{-3}	0.6×10^{-6}	4.4×10^{-5}	3.0×10^{-5}
4	1.0×10^{-12}	1.2×10^{-12}	2.4×10^{-3}	0.6×10^{-6}	4.5×10^{-5}	3.0×10^{-5}
5	1.0×10^{-12}	2.0×10^{-12}	2.4×10^{-3}	0.6×10^{-6}	4.9×10^{-5}	3.0×10^{-5}

ここで、第1の補助容量12aと第2の補助容量12bの合計値としては、0.4、0.8、1.2、2.0

(pF)を選んだ。なお、表3は、式(1)の条件を満足する液晶表示素子のうちで、式(2)の条件を満足する液晶表示素子についてのデータである。また、表4

は、式(1)の条件を満足する液晶表示素子のうちで、式(2)の条件を満足しない液晶表示素子についてのデータであり、比較のために示したものである。

【0153】画素のサイズは $100\mu m \times 300\mu m$ であり、一画素分の画素電極の面積Aは $1.8 \times 10^{-8} m$

である。セルギャップは、直径 $2\mu\text{m}$ の球状パール19を配向膜13bの上に散布することにより、 $2\mu\text{m}$ に設定されている。また、画素電極11と共通電極16との間に加えられる電圧Eは、5Vである。液晶17材料としては、チソ社製のLIXON CS2005、ロシュ社製のFLC9807などを用いた。

【0154】表3に示した式(2)の条件を満足する液晶表示素子は、コントラストの値として50以上の値を示し、良好な画質を得ることができた。これに対して、表4に示した式(2)の条件を満足しない液晶表示素子では、コントラストの値は30~50となった。

【0155】この実施例においても、実施例1と同様にして、等価回路シミュレーションを行った。すなわち、 $C_{LC}=0.3\times 10^{-12}\text{F}$ 、 $P_s=2.0\times 10^{-3}\text{C}/\text{m}^2$ 、 $A=1.8\times 10^{-5}\text{m}^2$ とし、電位が0Vの画素電極に対し、 $E=5\text{V}$ 、 $T_{gon}=3\times 10^{-5}\text{s}$ という条件で信号を印加した場合の、液晶分子が回転して平衡状態に達した時点での画素電極の電位を、図8に示す。

【0156】ここで、TFTからなるスイッチング素子のソース電極とドレイン電極との間に流れる電流の最大値 I_{on} を、 $1.0\times 10^{-6}\text{A}$ および $0.6\times 10^{-6}\text{A}$ とし、補助容量(C_s)の値を、 $0.4\text{pF}\sim 2\text{pF}$ と変化させている。

【0157】図8から、 I_{on} を $0.6\times 10^{-6}\text{A}$ とした場合には、 $1.0\times 10^{-6}\text{A}$ とした場合と比較して、平衡状態での画素電極の電位が低くなっていることがわかる。また、このシミュレーションにおいて、TFTからなるスイッチング素子のスイッチをオフにした直後の画素電極の電位を、図9に示す。図9から、 I_{on} が $0.6\times 10^{-6}\text{A}$ の場合では、 $1.0\times 10^{-6}\text{A}$ の場合と比較して、画素電極の電位が低くなっていることがわかる。この電位の低下は、等価回路において、TFTからなるスイッチング素子が電位を書込むべき負荷容量に比較して、 I_{on} が十分に大きくないために起こっている。

【0158】すなわち、図8において、 I_{on} が $0.6\times 10^{-6}\text{A}$ の場合、 $1.0\times 10^{-6}\text{A}$ の場合と比較して画素電極の電位が低いのは、TFTからなるスイッチング素子による画素電極への電位の書き込み能力が十分でないため、 T_{gon} の間に、画素電極の電位が十分に上がらないためである。そのため、液晶分子が回転して平衡状態に達した時点でも、画素電極の電位が低くなっている。

【0159】補助容量 C_s を $1.0\times 10^{-12}\text{F}$ (= 1.0pF)とし、その他は上記の条件と同一としたときに、(2)式で等号が成り立つ I_{on} の大きさは、 $0.7\times 10^{-6}\text{A}$ であり、シミュレーションからも、(2)式が成り立つ条件においてコントラストが高くなることが確認された。

【0160】また、(2)式を満たす液晶表示装置で

は、スイッチング素子であるTFTの静電破壊が起こりにくかった。

【0161】実施例4

図10は、本発明の液晶表示装置の第4の実施例の概略構成を示す図である。この液晶表示装置は、従来のネマティック液晶を用いたアクティブマトリクス型液晶表示装置の構成に、表示信号を一時的に保存するためのフレームメモリ35が付加された構成となっている。

【0162】すなわち、ゲート線ドライバー21は、表示タイミングコントローラー36に直接接続されており、また信号線ドライバー22は、フレームメモリ35を介して表示タイミングコントローラー36に接続された構成となっている。ここで、ゲート線ドライバー21と信号線ドライバー22としては、例えば、単結晶Si上に形成した集積回路が用いられる。

【0163】この液晶表示装置では、表示信号および同期信号が表示タイミングコントローラー36に入力され、入力された同期信号にしたがって、表示タイミングコントローラー36からフレームメモリ35とゲート線ドライバー21に、表示信号と走査信号がそれぞれ供給される。フレームメモリ35には、1フレーム分の表示信号が記録され、信号線ドライバー22に表示信号を供給する。こうして液晶表示素子37は、ゲート線ドライバー21と信号線ドライバー22により駆動される。

【0164】液晶表示素子37の構成は、実施例2に示した構成となっている。

【0165】このような液晶表示装置の駆動は、次のように行う。

【0166】自発分極を有する液晶がマトリクス状に配置された画素電極と対向電極との間に挟持された液晶表示素子を、図3に示す回路構成で駆動する方式として、サブフレームが3つである場合を、図11を用いて説明する。

【0167】図11において、(a)、(b)、(c)、(d)は、それぞれゲート線電位、信号線電位、書き込み電圧、画素電位を示す。図11(a)に示すように、1フレーム時間 T_{frame} (16.67ms)は、3つのサブフレーム時間 T_{sub1} 、 T_{sub2} 、 T_{sub3} に分けられている。それぞれのサブフレーム時間の間で、ゲート信号は1度ずつオン状態となり、それぞれのゲート選択時間は、 T_{gon1} 、 T_{gon2} 、 T_{gon3} となる。走査方法としては、線順次走査法を用いる。

【0168】この場合、 T_{gon1} 、 T_{gon2} 、 T_{gon3} の和($T_{gon}=T_{gon1}+T_{gon2}+T_{gon3}$)は、1フレーム時間 T_{frame} からブランキング時間 T_b を引いた時間を、ゲート線の本数 N_g で割った時間で定まり、ゲート選択時間とほぼ等しくなる。SVG Aの場合は $N_g=600$ であり、 $T_{gon}=27.7\mu\text{s}$ となるので、例えば $T_{gon1}=T_{gon2}=6\mu\text{s}$ 、 $T_{gon3}=15.7\mu\text{s}$ とすれば良

35

く、この場合、 $T_{sub1}=T_{sub2}=3.6\text{ms}$ となり、液晶の応答時間よりは長くなる。

【0169】信号線電位は、図11(b)に示されるように、 V_{sig-e} を中心に1フレーム時間ごとに正負の極性が変わる。1番目と2番目のサブフレームで、所望の電圧より大きな電圧が液晶に印加されるように、信号線に電圧を印加し、最終である3番目のサブフレームでのみ所望の電圧が印加されるように、信号線電圧を与えている。正極性での所望の電位を V_{sig-p2} 、負極性での所望の電位を V_{sig-n2} とした場合、図11(b)に示すように、最終である3番目のサブフレームでは、正極性で V_{sig-p2} を、負極性では V_{sig-n2} を信号線に印加するが、1番目と2番目のサブフレームでは、正極性で V_{sig-p1} ($V_{sig-p1}>V_{sig-p2}$) を、負極性で V_{sig-n1} ($V_{sig-n1}<V_{sig-n2}$) を、それぞれ信号線に印加する。この場合、書込み電圧は、図11(c)に示されるようになる。

【0170】このような駆動をおこなった場合、画素電位は図11(d)に示されるように変動する。1番目と2番目のサブフレームにおいては、所望の電圧より大きな電圧が液晶に印加されるように、信号線に電圧を印加することにより、これらのサブフレームで、選択期間中の液晶の配列の変化が促進されるとともに、補助容量や液晶の容量のうちの速い成分の誘電応答部に、より多くの電荷が蓄積される。そのため、選択期間終了後に、遅い成分の誘電応答部により多くの電荷を移動させることができ、液晶の配列を加速することができる。

【0171】したがって、応答速度の速い表示を得ることができた。

【0172】実施例5

この液晶表示装置は、実施例4と同様に、従来のネマティック液晶を用いたアクティブマトリクス型液晶表示装置の構成に、表示信号を一時的に保存するためのフレームメモリが付加された構成となっている。また、信号線ドライバやゲート線ドライバなどの周辺駆動回路は、第1の基板上に、画素部のスイッチング素子の形成と同時に形成されている。

【0173】液晶表示素子の構成は、例えば実施例3に示した構成となっている。

【0174】このような液晶表示装置の駆動は、次のように行う。

【0175】すなわち、図11(a)に示すように、1フレーム時間 T_{frame} (16.67ms) は、3つのサブフレーム時間 T_{sub1} 、 T_{sub2} 、 T_{sub3} に分けられている。それぞれのサブフレーム時間の間で、ゲート信号は1度ずつオン状態となり、それぞれのゲート選択時間は、 T_{gon1} 、 T_{gon2} 、 T_{gon3} となる。また、画素電極の走査方法としては、点順次走査法を用いる。

【0176】この場合、 T_{gon1} 、 T_{gon2} 、 T_{gon3} の和 ($T_{gon} = T_{gon1} + T_{gon2} + T_{gon3}$) は、線順次走査法

36

を採る場合より短くなり、その長さは分割の方法によって変わる。 $T_{gon} = 3\mu\text{s}$ の場合、 $T_{gon1} = T_{gon2} = 0.6\mu\text{s}$ 、 $T_{gon3} = 1.8\mu\text{s}$ とすれば良い。 $T_{sub1} = T_{sub2} = 3.3\text{ms}$ となり、液晶の応答時間よりは長くなる。

【0177】信号線に与える電位は、実施例4における駆動と同様に、図11(b)に示される。

【0178】このような駆動を行った場合においても、画素電位は図11(d)に示されるように変動する。1番目と2番目のサブフレームにおいては、所望の電圧より大きな電圧が液晶に印加されるように、信号線に電圧を印加することにより、これらのサブフレームで、選択期間中の液晶の配列変化が促進されるとともに、補助容量や液晶の容量のうちの速い成分の誘電応答部に、より多くの電荷が蓄積されることになるので、選択期間後に、遅い成分の誘電応答部により多くの電荷を移動させることができ、液晶の配列を加速することができる。

【0179】したがって、応答速度の速い表示を得ることができた。

【0180】実施例6

この実施例では、TFTの書込み能力に起因する部分を取り除いた場合を想定する。

【0181】印加電圧5V、パルス幅 $34\mu\text{s}$ の駆動波形を用い、飽和電圧 V_{sat} 2.5V、飽和配向状態における静電容量 C_{LC} 2nF、応答速度0.3msの液晶材料と、補助容量 C_s 3nFを有するセルの駆動を行なう場合、初期状態で液晶を挟む電極が同電位であるとする、式(1)より、自発分極 P_s の値が $1.62 \times 10^{-4}\text{C/m}^2$ 以下 ($=16.2\text{nC/cm}^2$) であれば、パルス印加後の平衡状態での輝度が最大となる。

【0182】このような結果を実際に評価用セルを用いて検討した。評価用セルの画素電極の大きさは1mm角 ($1 \times 10^{-6}\text{m}^2$)、液晶を挟む電極間の距離が $2\mu\text{m}$ であり、セルと並列に2nFの補助容量 C_s が接続されている。偏光板はクロスニコルになるように配置されており、セルの一方から2000nitの平行光を入射し、他方に透過光強度測定器を配置した。

【0183】このセルに、飽和電圧が約2.5V、飽和配向状態における静電容量 C_{LC} が約2nF、飽和電圧を印加した場合の応答速度が約0.3msである無しきい反強誘電性液晶材料を注入し、評価用のセルとした。印加電圧Eは5V、印加パルス幅は $3.4 \times 10^{-5}\text{s}$ とし、液晶材料としては、自発分極 P_s の値が、それぞれ 1.0×10^{-4} 、 2.0×10^{-4} 、 $3.0 \times 10^{-4}\text{C/m}^2$ である、A、B、C3つの材料を用いた。飽和電圧および飽和時の輝度である最大輝度は、液晶の応答速度より十分に長い時間、電圧を印加することにより求めた。

【0184】このセルを用い、自発分極と平衡状態での輝度との関係を調べた結果を、表5に示す。なお、パル

50

ス印加前の初期状態では、液晶を挟む電極を同電位としている。これらのセルのうち、Aを用いた液晶セルにおいては、平衡状態での輝度が最大輝度となったが、BまたはCを用いた液晶セルでは、最大輝度よりも低い輝度*

*となった。

【0185】

【表5】

液晶材料	自発分極 P_s (C/m^2)	F	表示状態
A	1.0×10^{-4}	0.62	良好
B	2.0×10^{-4}	1.23	不良
C	3.0×10^{-4}	1.85	不良

実施例7

第7の実施例の液晶表示装置は、図6(a)および図6(b)に示す概略構成を有している。また、第1の基板の画素部を拡大したものを、図12に示す。

【0186】ガラスなどからなる第1の基板1の上に、ゲート線2、補助容量線3、信号線4からなる配線が形成されている。ゲート線2と補助容量線3は同一層として形成され、AlやAl-Y合金、Al-Nd合金、Mo-W合金などの金属からなる。信号線4は、ゲート線2と直交するように形成され、AlやAl-Y合金、Al-Nd合金などの金属からなる。

【0187】ゲート線2と信号線4の交点近傍には、TFTからなるスイッチング素子5が形成され、そのゲート電極はゲート線2と同層として形成され、ゲート線2と接続されている。スイッチング素子5のチャネル層は、多結晶Si膜からなり、コンタクト層を介して、信号線4およびITOなどの透明導電膜からなる画素電極11と接続されている。補助容量線3は、金属または低抵抗シリコンからなる補助容量電極30と接続され、画素電極11との間に補助容量を形成している。さらに、画素電極11の上にポリイミド樹脂などからなる配向膜13aが設けられている。

【0188】第1の基板1に相対向して配置された、ガラスなどからなる第2の基板14の上には、CF層15と、このCF層15上にITOなどの透明導電膜からなる共通電極16が設けられ、さらに共通電極16上に、ポリイミド樹脂などからなる配向膜13bが設けられている。セルギャップは、直径2 μm の球状パール19を配向膜13bの上に散布することにより、2 μm に設定されている。そして、第1の基板1に設けられたスイッチング素子5および画素電極11と、第2の基板14に設けられた共通電極16との間に、無しき反強誘電性液晶17が挟まれている。また、これら第1および第2の基板1、14の外面に、偏光板18a、18bが貼着されている。

【0189】さらに、ゲート線2および信号線4は、それぞれゲート線ドライバー21、信号線ドライバー22などの周辺駆動回路と接続されている。これらの周辺駆動回路は、画素部のスイッチング素子5と同時に第1の

基板1上に形成されたスイッチング素子を有しており、そのチャネル層は多結晶Si膜からなる。なお、周辺駆動回路としては、多結晶Si膜を用いたスイッチング素子に代わり、単結晶Si上に形成した集積回路を用いても良い。

【0190】マトリクス状の配線の本数は、縦方向の信号線4を640 \times 3(RGB)本、横方向のゲート線2を480本とし、隣接するゲート線2の配置周期を300 μm 、信号線4の配置周期を100 μm とした。この構成では、画素電極11の面積Aは、約 $2 \times 10^{-10} m^2$ となる。

【0191】このような構造の液晶表示装置のゲート線2および信号線4に対し、図13に示す電圧波形を印加した。なお、図13において、(a)はゲート線に印加する電圧を、(b)は信号線に印加する電圧をそれぞれ示す。

【0192】ゲートに信号を印加する周期であるフレーム周期 T_{frame} は、 $1.67 \times 10^{-2} s$ (1/60秒)である。ゲート選択時間 T_{gate} は $3.4 \times 10^{-5} s$ (34 μs)であり、そのうち前半のリセット選択時間 T_r を、 $2.0 \times 10^{-5} s$ (20 μs)、後半の T_{gon} を $1.4 \times 10^{-5} s$ (14 μs)とした。

【0193】信号線に印加される電圧は、 T_r の期間是对向電極電位 V_{com} 、 T_{gon} の期間は表示レベルに対応した書き込みを行なう電圧となり、 T_r の期間では黒レベルへのリセットが行われる。ゲートパルス電圧は V_{gon} を+30V、 V_{gate} を-10V、 V_{sig-c} を5V、 V_{com} を5V、信号線に印加される電圧の振幅を5V、補助容量を0.5pFとした。この場合、画素電極と対向電極との間に加えられる最大電圧Eは5Vとなる。多結晶シリコンからなるチャネル層の移動度は、100 $cm^2/(V \cdot s)$ であった。

【0194】上記構成の液晶表示装置において、液晶材料の飽和配向状態における一面素分の静電容量 C_{LC} は0.5pF、液晶表示装置の飽和電圧 V_{sat} は2.5V、画素電極と対向電極の間に5Vを印加した場合の液晶の応答時間 τ は、およそ0.6msであった。

【0195】上記の値を式(3)に代入することにより、最大輝度を得るためには、自発分極 P_s は13.9

nC/cm^2 以下である必要があることがわかる。さらに、上記の値を式(5)に代入することにより、表示が均一であるためには、自発分極 P_s は $6.9\text{nC}/\text{cm}^2$ 以下であることが必要であることがわかる。

【0196】この結果に基づいて、自発分極が異なる液晶材料を用いて、液晶表示装置の駆動を行なった。 P_s が $6\text{nC}/\text{cm}^2$ の液晶材料を用いて駆動を行なったところ、最大輝度が得られ、また面内で均一性のよい表示が得られた。一方、 P_s が $10\text{nC}/\text{cm}^2$ の液晶材料を用いて駆動を行なったところ、周辺回路から近く、配線遅延の無い部分では最大輝度が得られたものの、焼付きやフリッカーが生じ、面内で均一性の良い表示は得られなかった。さらに、 P_s が $20\text{nC}/\text{cm}^2$ の液晶材料を用いて駆動を行なったところ、面内全体にわたって最大輝度より低い輝度しか得られないうえに、焼付きやフリッカーが生じ、面内での均一性の良い表示は得られなかった。

【0197】実施例8

図14に、本発明の第8の実施例に係る液晶表示装置の概略構成を示す。また、第1の基板の画素部を拡大したものを、図15に示す。

【0198】ガラスなどからなる第1の基板1の上に、ゲート線2、補助容量線3、リセット線38、信号線4からなる配線が形成されている。ゲート線2、補助容量線3およびリセット線38は同一層に形成され、AlやAl-Y合金、Al-Nd合金、Mo-W合金などの金属からなる。信号線4はゲート線2と直交するように形成され、AlやAl-Y合金、Al-Nd合金などの金属からなる。

【0199】ゲート線2と信号線4の交点近傍には、TFTからなる信号書き込み用スイッチング素子5が形成され、そのゲート電極はゲート線2と同層として形成され、ゲート線2と接続されている。信号書き込み用スイッチング素子5のチャネル層は、多結晶Si膜からなり、コンタクト層を介して、信号線4およびITOなどの透明導電膜からなる画素電極11と接続されている。補助容量線3は、金属または低抵抗シリコンからなる補助容量電極30と接続され、画素電極11との間に補助容量を形成している。また、信号書き込み用スイッチング素子5とは別のリセット用スイッチング素子39が形成され、そのゲート電極はリセット線38に接続されている。リセット用スイッチング素子39のチャネル層は、多結晶Si膜からなり、コンタクト層を介して補助容量線3および画素電極11と接続されている。さらに、画素電極11の上に、ポリイミド樹脂などからなる配向膜が設けられている。

【0200】対向基板は、第7の実施例と同様に構成されているので、説明を省略する。

【0201】さらに、ゲート線2、リセット線38および信号線4は、それぞれゲート線ドライバー21、リセ

ット線ドライバー40および信号線ドライバー22などの周辺駆動回路と接続されている。これらの周辺駆動回路は、画素部のスイッチング素子5と同時に第1の基板1上に形成されたスイッチング素子を有しており、そのチャネル層は多結晶Si膜からなる。なお、周辺駆動回路としては、多結晶Si膜を用いたスイッチング素子に代わり、単結晶Si上に形成した集積回路を用いても良い。

【0202】マトリクス状の配線の数は、縦方向の信号線4を 640×3 (RGB)本、横方向のゲート線2を480本とし、隣接するゲート線2の配置周期を $300\mu\text{m}$ 、信号線4の配置周期を $100\mu\text{m}$ とした。この構成では、画素電極11の面積Aは、約 $2 \times 10^{-10}\text{m}^2$ となる。

【0203】このような構造の液晶表示装置のゲート線2、リセット線38および信号線4に対し、図16に示す電圧波形を印加した。なお、図16において、(a)はゲート線に印加する電圧を、(b)はリセット線に印加する電圧を、(c)は信号線に印加する電圧をそれぞれ示す。

【0204】ゲートに信号を印加する周期であるフレーム周期 T_{Frame} は、 $1.67 \times 10^{-2}\text{s}$ (1/60秒)である。ゲート選択時間 T_{gon} は、 $3.4 \times 10^{-5}\text{s}$ (34 μs)であり、リセット選択時間 T_r は T_{gon} の5倍の $1.7 \times 10^{-4}\text{s}$ (170 μs)とし、リセット選択時間はゲート選択時間の直前に来るようにした。

【0205】画素電極に書込まれる電圧は、 T_r の期間は対向電極電位 V_{com} と等しい補助容量配線電位、 T_{gon} の期間は表示レベルに対応した書き込みを行なう電圧となり、 T_r の期間では黒レベルへのリセットが行われる。ゲートパルス電圧は V_{gon} を+30V、 V_{goff} を-10V、 $V_{\text{sig-c}}$ を5V、 V_{com} を5V、信号線に印加される電圧の振幅を5V、補助容量を0.5pFとした。この場合、画素電極と対向電極との間に加えられる最大電圧Eは、5Vとなる。多結晶シリコンからなるチャネル層の移動度は、 $100\text{cm}^2/(\text{V} \cdot \text{s})$ であった。

【0206】上記構成の液晶表示装置において、液晶材料の飽和配向状態における一画素分の静電容量 C_{LC} は0.5pF、液晶表示装置の飽和電圧 V_{sat} は2.5V、画素電極と対向電極の間に5Vを印加した場合の液晶の応答時間 τ は、およそ0.3msであった。

【0207】上記の値を式(3)に代入することにより、最大輝度を得るためには、自発分極 P_s は $16.2\text{nC}/\text{cm}^2$ 以下である必要があることがわかる。さらに、上記の値を式(5)に代入することにより、表示が均一であるためには、自発分極 P_s は $8.1\text{nC}/\text{cm}^2$ 以下である必要があることがわかる。

【0208】この結果に基づいて、自発分極が異なる液晶材料を用いて、液晶表示装置の駆動を行なった。 P_s

が $6\text{ nC}/\text{cm}^2$ の材料を用いて駆動を行なったところ、最大輝度を得られ、また面内で均一性の良い表示が得られた。一方、 P_s が $10\text{ nC}/\text{cm}^2$ の液晶材料を用いて駆動を行なったところ、周辺回路から近く、配線遅延の無い部分では最大輝度を得られたものの、焼付きやフリッカーが生じ、面内での均一性の良い表示は得られなかった。さらに、 P_s が $20\text{ nC}/\text{cm}^2$ の材料を用いて駆動を行なったところ、面内全体にわたって最大輝度より低い輝度しか得られないうえに、焼付きやフリッカーが生じ、面内での均一性の良い表示は得られなかった。

【0209】実施例9

第9の実施例の液晶表示装置は、実施例7の液晶表示装置と同じ構成を有しているため、構造の説明は省略する。

【0210】このような構成を有する液晶表示装置に対して、フレーム反転駆動を行なった。

【0211】マトリクス状の配線の本数は、縦方向の信号線を 640×3 (RGB) 本、横方向のゲート線を480本とし、隣接するゲート線の配置周期を $300\text{ }\mu\text{m}$ 、信号線の配置周期を $100\text{ }\mu\text{m}$ とした。この構成では、

【0212】このような構造の液晶表示装置のゲート線および信号線に対し、図17に示す電圧波形を印加した。なお、図17において、(a)はゲート線に印加する電圧を、(b)は信号線に印加する電圧をそれぞれ示す。

【0213】ゲートに信号を印加する周期であるフレーム周期 T_{frame} は、 $1.67 \times 10^{-2}\text{ s}$ (1/60秒)であり、ゲート選択時間 T_{gon} は $3.4 \times 10^{-5}\text{ s}$ ($34\text{ }\mu\text{s}$)である。信号線には、 T_{frame} ごとに極性の反転する電圧が印加され、ゲート選択時間 T_{gon} の間に、表示レベルに対応した電圧が画素に書き込まれる。ゲートパルス電圧は V_{gon} を $+30\text{ V}$ 、 V_{goff} を -10 V 、 $V_{\text{sig-c}}$ を 5 V 、 V_{com} を 5 V 、信号線に印加される電圧の振幅を 5 V 、補助容量を 0.5 pF とした。この場合、画素電極と対向電極との間に加えられる最大電圧 E は 5 V となる。多結晶シリコンからなるチャネル層の移動度は $100\text{ cm}^2/(\text{V} \cdot \text{s})$ であった。

【0214】上記構成の液晶表示装置において、液晶材料の飽和配向状態における一画素分の静電容量 C_{ic} は 0.5 pF 、液晶表示装置の飽和電圧 V_{sat} は 2.5 V 、画素電極と対向電極の間に 5 V を印加した場合の液晶の応答時間 τ は、およそ 0.3 ms であった。

【0215】上記の値を式(3)に代入することにより、最大輝度を得るためには、自発分極 P_s は $16.2\text{ nC}/\text{cm}^2$ 以下である必要があることがわかる。さらに、上記の値を式(5)に代入することにより、表示が均一であるためには、自発分極 P_s は $8.1\text{ nC}/\text{cm}^2$ 以下である必要があることがわかる。

【0216】この結果に基づいて、自発分極が異なる液

晶材料を用いて、液晶表示装置の駆動を行なった。 P_s が $3\text{ nC}/\text{cm}^2$ の材料を用いて駆動を行なったところ、最大輝度を得られ、また面内で均一性の良い表示が得られた。一方、 P_s が $20\text{ nC}/\text{cm}^2$ の液晶材料を用いて駆動を行なったところ、面内全体に亘って最大輝度より低い輝度しか得られないうえに、焼付きやフリッカーが生じ、面内での均一性の良い表示は得られなかった。

【0217】実施例10

第10の実施例の液晶表示装置は、図1(a)および図1(b)に示す概略構成を有している。また、この実施例における、第1の基板の画素部の平面図を、図18に示す。

【0218】ガラスなどからなる第1の基板1の上に、ゲート線2、補助容量線3、信号線4からなる配線が形成されている。ゲート線31と補助容量線32は同一層として形成され、AlやAl-Y合金、Al-Nd合金、Mo-W合金などの金属からなる。信号線4は、ゲート線2と直交するように形成され、AlやAl-Y合金、Al-Nd合金などの金属からなる。

【0219】ゲート線2と信号線4の交点近傍には、TFTからなるスイッチング素子5が形成され、そのゲート電極2aはゲート線2と同層として形成され、ゲート線2と接続されている。スイッチング素子5のチャネル層は、非晶質Si膜からなり、コンタクト層を介して、信号線4およびITOなどの透明導電膜からなる画素電極11と接続されている。補助容量線3は、金属または低抵抗シリコンからなる補助容量電極30と接続され、画素電極11との間に補助容量を形成している。さらに、画素電極11の上にポリイミド樹脂などからなる配向膜13aが設けられている。

【0220】第1の基板1に相対向して配置された、ガラスなどからなる第2の基板14の上には、CF層15と、このCF層15上にITOなどの透明導電膜からなる共通電極16が設けられ、さらに共通電極16上に、ポリイミド樹脂などからなる配向膜13bが設けられている。セルギャップは、直径 $2\text{ }\mu\text{m}$ の球状パール19を配向膜13bの上に散布することにより、 $2\text{ }\mu\text{m}$ に設定されている。そして、第1の基板1に設けられたスイッチング素子5および画素電極11と、第2の基板14に設けられた共通電極16との間に、無しきい反強誘電性液晶17が挟まれている。また、これら第1および第2の基板1、14の外面に、偏光板18a、18bが貼着されている。

【0221】さらに、ゲート線2および信号線4は、それぞれゲート線ドライバー21、信号線ドライバー22などの周辺駆動回路と接続されている。これらの周辺駆動回路には、単結晶Si上に形成した集積回路が用いられている。

【0222】マトリクス状の配線の本数は、縦方向の信号線4を 640×3 (RGB) 本、横方向のゲート線2を

480本とし、隣接するゲート線2の配置周期を300 μm 、信号線4の配置周期を100 μm とした。この構成では、画素電極11の面積Aは、約 $2 \times 10^{-10} \text{ m}^2$ となる。

【0223】このような構造の液晶表示装置のゲート線2および信号線4に対し、図13に示す電圧波形を印加した。ゲートに信号を印加する周期であるフレーム周期 T_{frame} は、 $1.67 \times 10^{-2} \text{ s}$ (1/60秒)である。ゲート選択時間 T_{gon0} は $3.4 \times 10^{-5} \text{ s}$ (34 μs)であり、そのうち前半のリセット選択時間 T_r を

2.0 $\times 10^{-5} \text{ s}$ (20 μs)、後半の T_{gon} を1.4 $\times 10^{-5} \text{ s}$ (14 μs)とした。

【0224】信号線に印加される電圧は、 T_r の期間是对向電極電位 V_{com} 、 T_{gon} の期間は表示レベルに対応した書込みを行なう電圧となり、 T_r の期間では黒レベルへのリセットが行われる。ゲートパルス電圧は V_{gon} を+30V、 V_{gonr} を-10V、 $V_{\text{sig-c}}$ を5V、 V_{com} を5V、信号線に印加される電圧の振幅を5V、補助容量を0.5 pFとした。この場合、画素電極と対向電極との間に加えられる最大電圧Eは5Vとなる。非晶質シリコンからなるチャンネル層の移動度は、0.6 $\text{cm}^2 / (\text{V} \cdot \text{s})$ であった。

【0225】上記構成の液晶表示装置において、液晶材料の飽和配向状態における一画素分の静電容量 C_{LC} は0.5 pF、液晶表示装置の飽和電圧 V_{sat} は2.5V、画素電極と対向電極の間に5Vを印加した場合の液晶の応答時間 τ は、およそ0.3msであった。

【0226】上記の値を式(6)に代入することにより、最大輝度を得るためには自発分極 P_s は9.2 nC/ cm^2 以下である必要があることがわかる。さらには、上記の値を式(7)に代入することにより、表示が均一であるためには、自発分極 P_s は4.6 nC/ cm^2 以下であることが必要であることがわかる。

【0227】この結果に基づいて、自発分極が異なる液晶材料を用いて液晶表示装置の駆動を行なった。 P_s が4 nC/ cm^2 の液晶材料を用いて駆動を行なったところ、最大輝度が得られ、また面内で均一性の良い表示が得られた。一方、 P_s が6 nC/ cm^2 の材料を用いて駆動を行なったところ、周辺回路から近く、配線遅延の無い部分では最大輝度が得られたものの、焼付きやフリッカーが生じ、面内での均一性の良い表示は得られなかった。さらに、 P_s が20 nC/ cm^2 の液晶材料を用いて駆動を行なったところ、面内全体に亘って最大輝度より低い輝度しか得られないうえに、焼付きやフリッカーが生じ、面内での均一性の良い表示は得られなかった。

【0228】実施例11

第11の実施例の液晶表示装置は、図19に示す概略構成を有している。また、この実施例における、第1の基板の画素部の平面図を、図20に示す。

【0229】ガラスなどからなる第1の基板1の上に、

ゲート線2、補助容量線3、リセット線38、信号線4からなる配線が形成されている。ゲート線2、補助容量線3およびリセット線38は同一層で形成され、AlやAl-Y合金、Al-Nd合金、Mo-W合金などの金属からなる。信号線4は、ゲート線2と直交するように形成され、AlやAl-Y合金、Al-Nd合金などの金属からなる。

【0230】ゲート線2と信号線4の交点近傍には、TFTからなる信号書込み用スイッチング素子5が形成され、そのゲート電極はゲート線2と同層で形成され、ゲート線2と接続されている。信号書込み用スイッチング素子5のチャンネル層は非晶質Si膜からなり、コンタクト層を介して、信号線4およびITOなどの透明導電膜からなる画素電極11と接続されている。補助容量線3は、金属または低抵抗シリコンからなる補助容量電極30と接続され、画素電極11との間に補助容量を形成している。また、信号書込み用スイッチング素子5とは別に、リセット用スイッチング素子39が形成され、そのゲート電極はリセット線38に接続されている。リセット用スイッチング素子39のチャンネル層は非晶質Si膜からなり、コンタクト層を介して、補助容量線3および画素電極11と接続されている。さらに、画素電極11の上にポリイミド樹脂などからなる配向膜53aが設けられている。

【0231】対向基板は、第7の実施例と同様に構成されているので、説明を省略する。

【0232】さらに、ゲート線2、リセット線38、信号線4は、それぞれゲート線ドライバー21、リセット線ドライバー40、信号線ドライバー22などの周辺駆動回路と接続されている。これらの周辺駆動回路には、単結晶Si上に形成した集積回路が用いられている。

【0233】マトリクス状の配線の数は、縦方向の信号線4を640 \times 3(RGB)本、横方向のゲート線2を480本とし、隣接するゲート線2の配置周期を300 μm 、信号線4の配置周期を100 μm とした。この構成では、画素電極11の面積Aは、約 $2 \times 10^{-10} \text{ m}^2$ となる。

【0234】このような構造の液晶表示装置のゲート線2、リセット線38および信号線4に対し、図16に示す電圧波形を印加した。ゲートに信号を印加する周期であるフレーム周期 T_{frame} は、 $1.67 \times 10^{-2} \text{ s}$ (1/60秒)である。ゲート選択時間 T_{gon} は、 $3.4 \times 10^{-5} \text{ s}$ (34 μs)であり、リセット選択時間 T_r は、 T_{gon} の5倍の $1.7 \times 10^{-4} \text{ s}$ (170 μs)とし、リセット選択時間はゲート選択時間の直前に来るようにした。

【0235】画素電極に書込まれる電圧は、 T_r の期間是对向電極電位 V_{com} と等しい補助容量配線電位、 T_{gon} の期間は表示レベルに対応した書込みを行なう電圧となり、 T_r の期間では黒レベルへのリセットが行われ

る。ゲートパルス電圧は T_{gon} を $+30\text{V}$ 、 V_{goff} を -10V 、 $V_{\text{sig-c}}$ を 5V 、 V_{com} を 5V 、信号線に印加される電圧の振幅を 5V 、補助容量を 0.5pF とした。この場合、画素電極と対向電極との間に加えられる最大電圧 E は、 5V となる。非晶質シリコンからなるチャネル層の移動度は、 $0.6\text{cm}^2/(\text{V}\cdot\text{s})$ であった。

【0236】上記構成の液晶表示装置において、液晶材料の飽和配向状態における一画素分の静電容量 C_{LC} は 0.5pF 、液晶表示装置の飽和電圧 V_{sat} は 2.5V 、画素電極と対向電極の間に 5V を印加した場合の液晶の応答時間 τ は、およそ 0.3ms であった。

【0237】上記の値を式(6)に代入することにより、最大輝度を得るためには、自発分極 P_s は $10.8\text{nC}/\text{cm}^2$ 以下である必要があることがわかる。さらには、上記の値を式(7)に代入することにより、表示が均一であるためには、自発分極 P_s は $5.4\text{nC}/\text{cm}^2$ 以下である必要があることがわかる。

【0238】この結果に基づいて、自発分極が異なる液晶材料を用いて液晶表示装置の駆動を行なった。 P_s が $5\text{nC}/\text{cm}^2$ の材料を用いて駆動を行なったところ、最大輝度が得られ、また面内で均一性の良い表示が得られた。一方、 P_s が $10\text{nC}/\text{cm}^2$ の材料を用いて駆動を行なったところ、周辺回路から近く、遅延の無い部分では最大輝度が得られたものの、焼付きやフリッカーが生じ、面内での均一性の良い表示は得られなかった。また、 P_s が $15\text{nC}/\text{cm}^2$ の材料を用いて駆動を行なったところ、面内全体に亘って最大輝度より低い輝度しか得られないうえに、焼付きやフリッカーが生じ、面内での均一性の良い表示は得られなかった。

【0239】実施例12

実施例12に係る液晶表示装置の構成は、実施例10と同じであるので、構造の説明は省略する。

【0240】このような構成を有する液晶表示装置に対して、フレーム反転駆動を行なった。

【0241】マトリクス状の配線の数、縦方向の信号線を $640\times 3(\text{RGB})$ 本、横方向のゲート線を 480 本とし、隣接するゲート線の配置周期を $300\mu\text{m}$ 、信号線の配置周期を $100\mu\text{m}$ とした。この構成では、画素電極の面積 A は、約 $2\times 10^{-10}\text{m}^2$ となる。

【0242】このような構造の液晶表示装置のゲート線および信号線に対し、図17に示す電圧波形を印加した。ゲートに信号を印加する周期であるフレーム周期 T_{frame} は、 $1.67\times 10^{-2}\text{s}$ ($1/60$ 秒)であり、ゲート選択時間 T_{gon} は $3.2\times 10^{-5}\text{s}$ ($32\mu\text{s}$)である。信号線には、 T_{frame} ごとに極性の反転する電圧が印加され、ゲート選択時間 T_{gon} の間に、表示レベルに対応した電圧が画素に書き込まれる。ゲートパルス電圧は V_{gon} を $+30\text{V}$ 、 $-V_{\text{goff}}$ を -10V 、 $V_{\text{sig-c}}$ を 5V 、 V_{com} を 5V 、信号線に印加される電圧の振幅

を 5V 、 C_s 容量を 0.5pF とした。この場合、画素電極と対向電極との間に加えられる最大電圧 E は 5V となる。非晶質シリコンからなるチャネル層の移動度は $0.6\text{cm}^2/(\text{V}\cdot\text{s})$ であった。

【0243】上記構成の液晶表示装置において、液晶材料の飽和配向状態における一画素分の静電容量 C_{LC} は 0.5pF 、液晶表示装置の飽和電圧 V_{sat} は 2.5V 、画素電極と対向電極の間に 5V を印加した場合の液晶の応答時間 τ は、およそ 0.3ms であった。

【0244】上記の値を式(6)に代入することにより、最大輝度を得るためには、自発分極 P_s は $10.8\text{nC}/\text{cm}^2$ 以下である必要があることがわかる。さらには、上記の値を式(7)に代入することにより、表示が均一であるためには、自発分極 P_s は $5.4\text{nC}/\text{cm}^2$ 以下である必要があることがわかる。

【0245】この結果に基づいて、自発分極が異なる液晶材料を用いて液晶表示装置の駆動を行なった。 P_s が $3\text{nC}/\text{cm}^2$ の液晶材料を用いて駆動を行なったところ、最大輝度が得られ、また面内で均一性の良い表示が得られた。一方、 P_s が $20\text{nC}/\text{cm}^2$ の材料を用いて駆動を行なったところ、面内全体にわたって最大輝度より低い輝度しか得られないうえに、焼付きやフリッカーが生じ、面内での均一性の良い表示は得られなかった。

【0246】実施例13

以下に示すようにして、図1(b)に示す断面構造を有する液晶表示装置を作製した。すなわち、TFTからなるスイッチング素子5およびITOなどの透明導電膜からなる画素電極11がマトリクス状に形成された第1の基板1と、CF層15およびITOなどの透明導電膜からなる共通電極16が形成された第2の基板14との内面に、それぞれ可溶性ポリイミドの薄膜をオフセット印刷し、ホットプレートを用いて 90°C で3分、さらに N_2 オーブン中で 180°C で30分ベーキングして、膜厚 35nm のポリイミドからなる配向膜13a、13bをそれぞれ形成した。

【0247】次いで、第1の基板1および第2の基板14を 100°C に加熱しながら、配向膜13a、13bにラビング処理を施した。このラビング処理により、TFTなどによる段差部分でも、ポリイミド配向膜の延伸、配向が十分となり、スメクチック相の均一配向が得られた。

【0248】次に、第1の基板1上にスペーサ粒子(球状パール)19を散布した。また、第2の基板14の周辺部に紫外線硬化樹脂からなるシール剤20を印刷した。そして、このような第1の基板1と第2の基板14を対向して配置し、加圧状態で紫外線を照射してシール剤20を硬化させた後、 160°C で1時間加熱してセルを形成した。次いで、このセルを真空チャンバーに入れ、注入口から反強誘電性液晶17であるMLC-0049(三井化学製)を注入した後、注入口をエポキシ樹

脂で封止した。その後、第1の基板1と第2の基板14の外面に、それぞれ偏光板18a、18bをそれぞれ貼着して、対角10インチの液晶表示装置を製作した。

【0249】この液晶表示装置を、フレーム周波数60Hz、フレーム周期 $T_{frame} = 1.67 \times 10^{-2} s$ (16.7ms)、書き込み時間 $38 \mu s$ とし、フレームごとに印加電圧の極性を反転するフレーム反転駆動方法を適用して、表示品位の評価をおこなった。

【0250】比較例1

配向膜の膜厚を100nmとすることにより、液晶の自発分極に起因する容量と配向膜の容量からなる合成容量 C_{cell} を変えた以外は、実施例13と同様にして、液晶表示装置を製作した。そして、この液晶表示装置を、実施例13と同様に駆動して表示品位を評価した。

【0251】実施例14

液晶の自発分極に起因する容量と画素内の絶縁層からなる容量 C_{cell} を変えるために、配向膜の膜厚を32nmとした以外は、実施例13と同様にして、液晶表示装置を製作した。そして、この液晶表示装置を、フレーム周波数60Hz、フレーム周期 $T_{frame} = 1.67 \times 10^{-2} s$ (16.7ms)、書き込み時間 $38 \mu s$ とし、フレームごとに印加電圧の極性を反転するフレーム反転駆動方法を適用して、表示品位の評価をおこなった。

【0252】比較例2

補助容量 C_s の大きさを変えたことを除き、他の構成は実施例14と同様にして液晶表示装置を製作した。そして、この液晶表示装置を実施例14と同様に駆動して、表示品位を評価した。

【0253】実施例15

以下に示すようにして、図1(b)に示す断面構造を有する液晶表示装置を作製した。すなわちTFTからなるスイッチング素子5およびITOなどの透明導電膜からなる画素電極11がマトリクス状に形成された第1の基板1と、CF層15およびITOなどの透明導電膜からなる共通電極16が形成された第2の基板14との内面に、それぞれ可溶性ポリイミドの薄膜をオフセット印刷し、ホットプレートを用いて80℃で3分、さらにN₂オーブン中で220℃で30分ベーキングして、膜厚2

5nmのポリイミドからなる配向膜13a、13bをそれぞれ形成した。

【0254】次いで、第1の基板および第2の基板を80℃に加熱しながら、配向膜13a、13bにラビング処理を施した。このラビング処理により、TFTなどによる段差部分でも、ポリイミド配向膜の延伸、配向が十分となり、スメクチック相の均一配向が得られた。

【0255】次に、第1の基板上にスペーサ粒子(球状パール)19を散布した。また、第2の基板の周辺部に、紫外線硬化樹脂からなるシール剤20を印刷した。そして、このような第1の基板と第2の基板を対向して配置し、加圧状態で紫外線を照射してシール剤20を硬化させた後、160℃で1時間加熱してセルを形成した。次いで、このセルを真空チャンバーに入れ、注入口から反強誘電性液晶17であるMLC-0068(三井化学製)を注入した後、注入口をエポキシ樹脂で封止した。その後、第1および第2の基板の外面に、それぞれ偏光板18a、18bを貼着して、対角12インチの液晶表示装置を製作した。

【0256】この液晶表示装置を、フレーム周波数60Hz、フレーム周期 $T_{frame} = 1.67 \times 10^{-2} s$ (16.7ms)、書き込み時間 $38 \mu s$ とし、フレームごとに印加電圧の極性を反転するフレーム反転駆動方法を適用して、表示品位の評価をおこなった。

【0257】比較例3

ゲート・画素電極間の寄生容量 C_{gs} の大きさを変えたことを除いて、他の構成は実施例15と同様にして、液晶表示装置を製作した。そして、この液晶表示装置を実施例15と同様に駆動して、表示品位を評価した。

【0258】実施例13～15および比較例1～3で製作された液晶表示装置の評価結果を、表6に示す。評価は、いずれも輝度2000cd/m²のバックライト下で、様々な階調に対して行ない、50人の被験者によるちらつきの主観評価(「ちらつきがはっきりみえる」「少しみえる」「ほとんどみえない」の中から選択)の結果をまとめた。

【0259】

【表6】

	式(11)の左辺の値 $5 \times C_{gs} \times \Delta V_g$ (pC)	式(11)の右辺の値 $(C_s + C_{cell}) \times V_{sat}$ (pC)	式(11)の 左辺と右辺の 関係	ちらつき
実施例13	4.0	4.4~20	左辺<右辺	ほとんど取れない
実施例14	4.0	6.0~20	左辺<右辺	ほとんど取れない
実施例15	4.0	4.8~36	左辺<右辺	ほとんど取れない
比較例 1	4.0	3.4~8.0	>または<	少し取れる
比較例 2	4.0	3.0~17	>または<	少し取れる
比較例 3	8.0	4.8~36	>または<	はっきり取れる

表6において、第2列および第3列は、それぞれ式

(8)における左辺の値および右辺の値を表わしている。ここで、第3列の値がある幅をもって表わされているのは、表示階調ごとに C_{cell} の値が変化するためである。実施例13~15の液晶表示装置は、式(8)が成り立ち、本発明の実施例に係わるものである。一方、比較例1のものでは、式(8)が必ずしも成り立たない。

【0260】表6に示したちらつきの評価結果から、実施例13~15の液晶表示装置は、比較例1~3のものと比べて、表示品位および表示の信頼性において優れていることがわかる。

【0261】

【発明の効果】以上説明したように、本発明によれば、固有のまたは電場を印加することにより誘起される自発分極を有する液晶が、マトリクス状に配置された画素電極と対向電極との間に挟持された液晶表示装置の駆動において、高コントラストで応答速度の速い画質の良好な表示が得られ、かつ消費電力が低減される。

【0262】また、白表示時の輝度が高く、均一性の良好な表示が得られる。さらに、品位の高い表示が実現される。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の第1の実施例の概略構成を示し、(a)は平面図、(b)は断面図。

【図2】第1の実施例の第1の基板の画素部を拡大して示し、(a)は平面図、(b)は(a)におけるA-A'断面図。

【図3】自発分極を有する液晶材料を用いたTFT-LCDの画素部分の電気的等価回路図。

【図4】第1の実施例において、信号を印加し平衡に達した時点での画素電極の電位を示すグラフ。

【図5】本発明の第2の実施例の第1の基板の要部を拡大して示し、(a)は平面図、(b)は(a)におけるB-B'断面図。

【図6】本発明の液晶表示装置の第3の実施例の概略構

成を示し、(a)は平面図、(b)は断面図。

【図7】第3の実施例の第1の基板の画素部を拡大して示し、(a)は平面図、(b)は(a)におけるC-C'断面図。

【図8】第3の実施例において、信号を印加し平衡に達した時点での画素電極の電位を示すグラフ。

【図9】第3の実施例において、スイッチング素子をオフにした直後の画素電極の電位を示すグラフ。

【図10】本発明の液晶表示装置の第4の実施例の概略構成を示す平面図。

【図11】第4の実施例における液晶表示素子の駆動電圧波形を示す図。

【図12】本発明の液晶表示装置の第7の実施例の第1の基板の画素部を拡大して示す平面図。

【図13】第7の実施例における液晶表示素子の駆動電圧波形を示す図。

【図14】本発明の液晶表示装置の第8の実施例の概略構成を示す平面図。

【図15】第8の実施例の第1の基板の画素部を拡大して示す平面図。

【図16】第8の実施例における液晶表示素子の駆動電圧波形を示す図。

【図17】本発明の液晶表示装置の第9の実施例における液晶表示素子の駆動電圧波形を示す図。

【図18】本発明の第10の実施例の第1の基板の画素部を拡大して示す平面図。

【図19】本発明の液晶表示装置の第11の実施例の概略構成を示す平面図。

【図20】第11の実施例の第1の基板の画素部を拡大して示す平面図。

【図21】自発分極を有する液晶の電場に対する応答を説明するための図。

【図22】電極間に印加される電圧Vと液晶セルの透過光強度Tとの関係を表わす図。

【図23】DHFLCの等価回路図。

【図 2 4】液晶表示素子をフレーム反転駆動する場合の、アレイの一面素分の構成を示す図。

【図 2 5】液晶表示素子をフレーム反転駆動する場合の駆動波形を示す図。

【図 2 6】液晶表示素子をリセット駆動する第 1 の方法の駆動波形を示す図。

【図 2 7】液晶表示素子を第 2 の方法でリセット駆動する場合の、アレイの一面素分の構成を示す図。

【図 2 8】液晶表示素子をリセット駆動する第 2 の方法の駆動波形を示す図。

【図 2 9】ネマティック液晶または自発分極を有する液晶が挟持された液晶表示素子を駆動した場合の、電極に印加される電圧や光透過率を表わす図。

【図 3 0】自発分極を有する液晶が挟持された液晶表示素子にフレーム反転駆動およびリセット駆動を行った場合の、電極に印加される電圧や光透過率を表わす図。

【図 3 1】自発分極を有する液晶を用いた液晶表示素子に、補助容量と TFT を加えた等価回路図。

【図 3 2】アクティブマトリクス型の駆動方式におけるゲート電圧と信号電圧および画素電圧のそれぞれ波形を示す図。

【図 3 3】自発分極を有する液晶を用いた液晶表示装置における、突き抜け電圧 ΔV_0 の信号電圧依存性を表すグラフ。

【図 3 4】自発分極を有する液晶を用いた液晶表示素子に、スイッチを組み込んだ等価回路図。

【図 3 5】自発分極を有する液晶の表示素子で、 C_s が $0 \sim 2 \text{ pF}$ に対して、書き込み期間後の平衡状態で最大輝度を得られるための P_s の最大値を表わすグラフ。

【図 3 6】 C_s が $0 \sim 2 \text{ pF}$ に対して、配線遅延の有無により、 C_{hs} に蓄積される電荷の差が 10% 以下となるための P_s の最大値を表わすグラフ。

【図 3 7】図 3 5 のグラフに式 (1)、式 (1-1) あるいは式 (4) で限定される P_s の値を付け加えたグラフ。

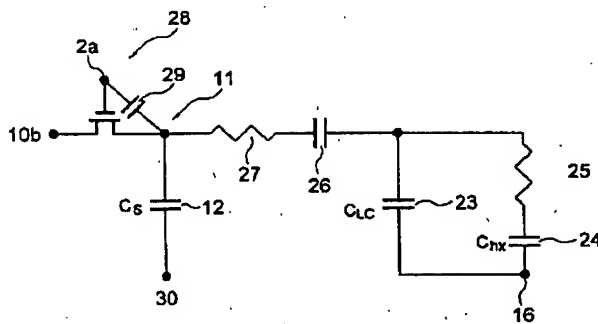
【図 3 8】図 3 6 のグラフに式 (1)、式 (1-1) あるいは式 (4) で限定される P_s の値を付け加えたグラフ。

【図 3 9】自発分極を有する液晶の電気容量と、印加電圧および周波数との関係を表わす図。

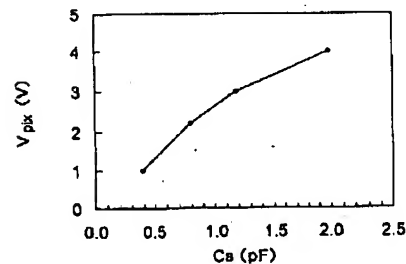
【符号の説明】

1……第 1 の基板、2……ゲート線、2a……ゲート電極、3……補助容量線、4……信号線、5……スイッチング素子 (TFT)、6……ゲート絶縁膜、7……チャネル層、9a、9b……コンタクト層、10a……ソース電極、10b……ドレイン電極、11……画素電極、12……補助容量、13a、13b……配向膜、14……第 2 の基板、15……カラーフィルタ層、16……共通電極、17……自発分極を有する液晶、18a、18b……偏光板、19……スペーサ粒子 (球状パール)、21……ゲート線ドライバー、22……信号線ドライバー、30……補助容量電極、31……第 1 の層間絶縁膜、32……第 2 の層間絶縁膜、33……補助容量形成部、34……層間絶縁膜、35……フレームメモリー、36……表示タイミングコントローラー、37……液晶表示素子、38……リセット線、39……リセット用スイッチング素子、40……リセット線ドライバー

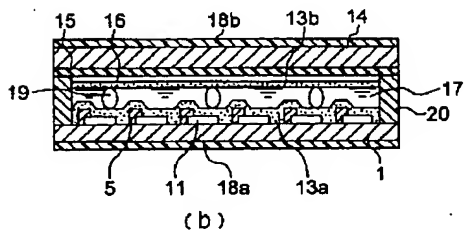
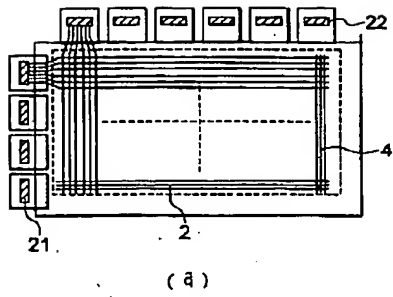
【図 3】



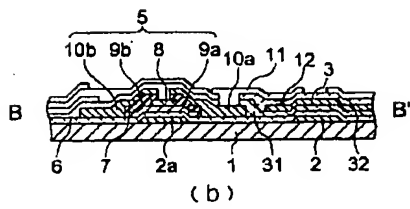
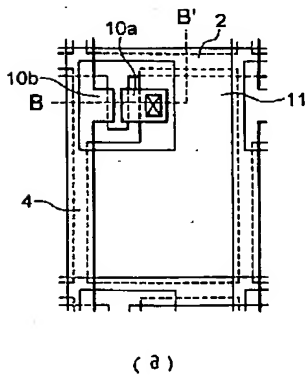
【図 4】



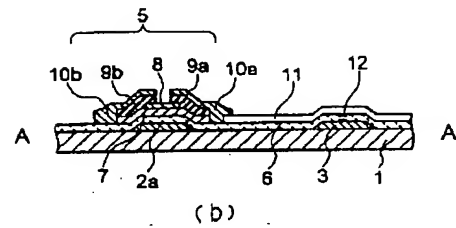
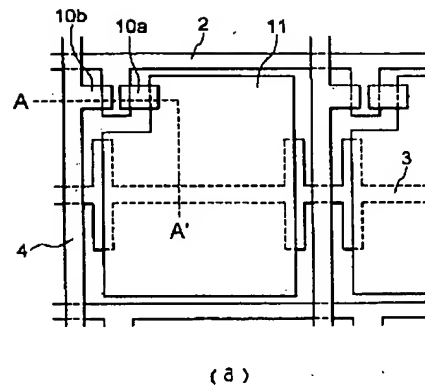
【図 1】



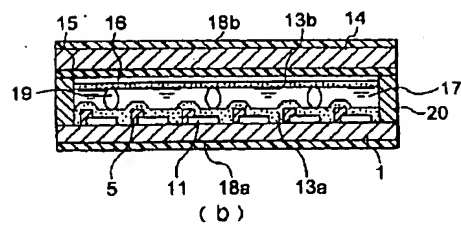
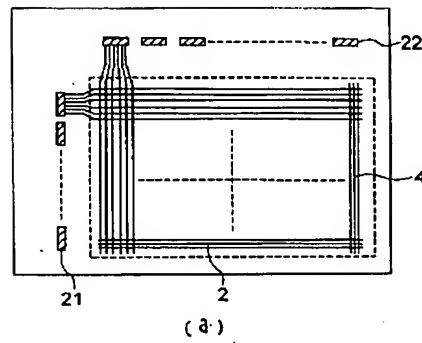
【図 5】



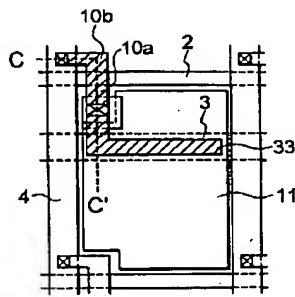
【図 2】



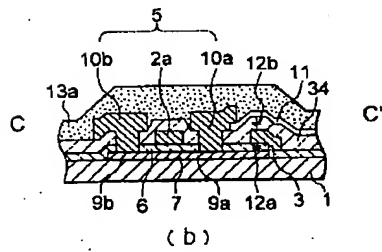
【図 6】



【図7】

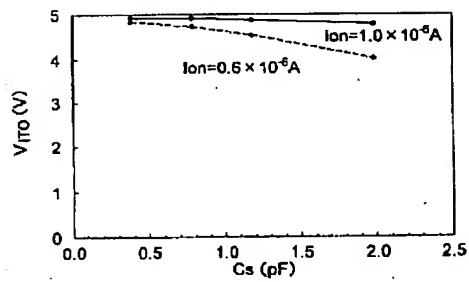


(a)

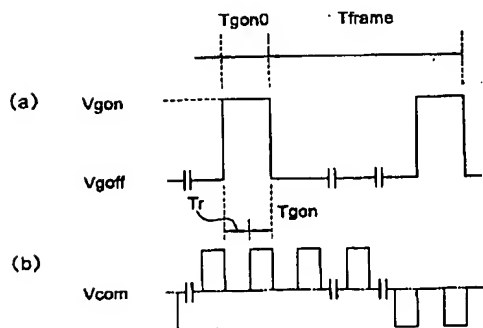


(b)

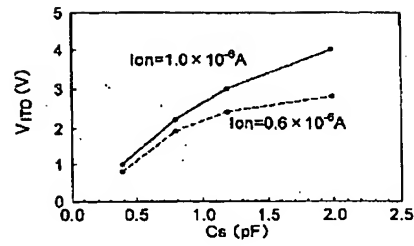
【図9】



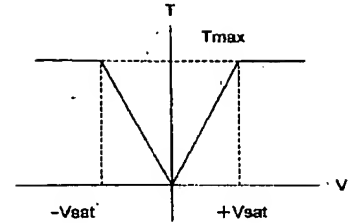
【図13】



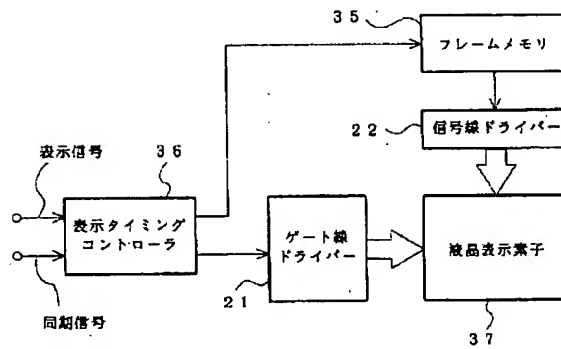
【図8】



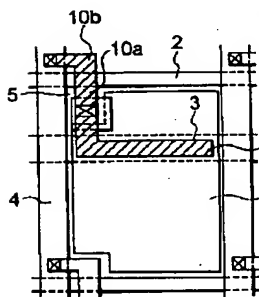
【図22】



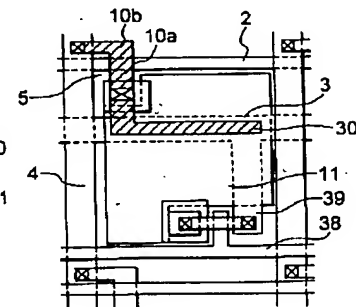
【図10】



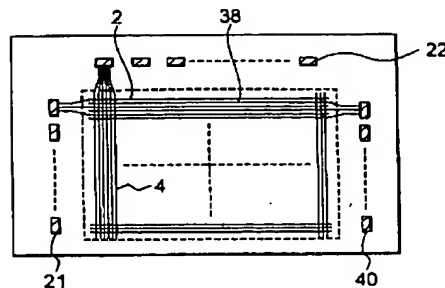
【図12】



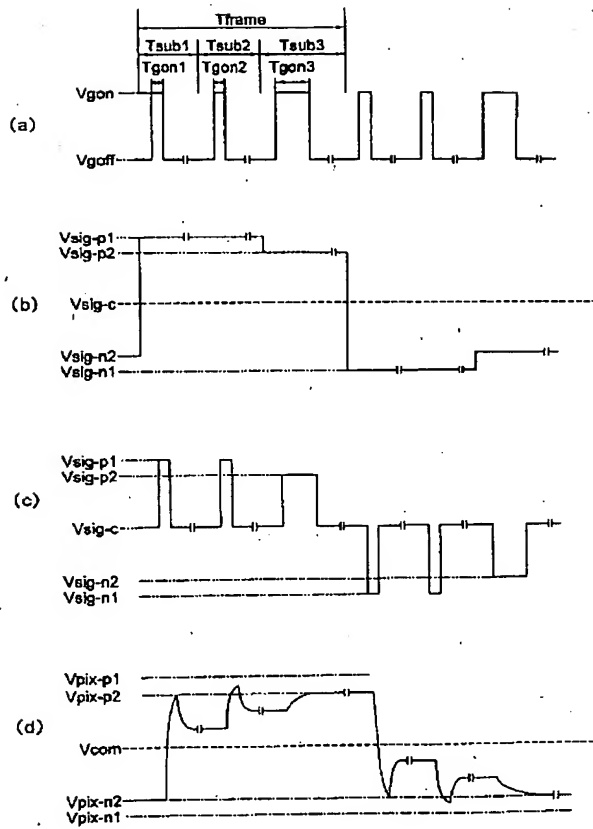
【図15】



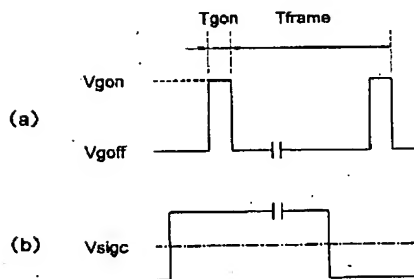
【図14】



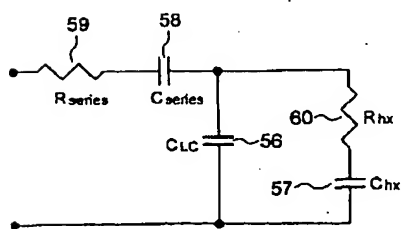
【図 1 1】



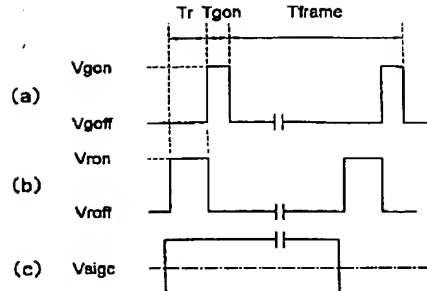
【図 1 7】



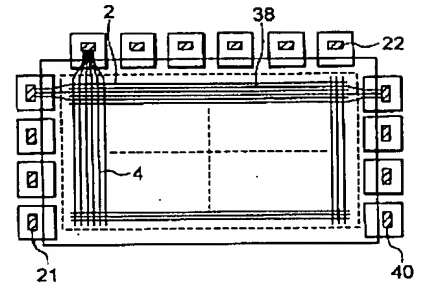
【図 2 3】



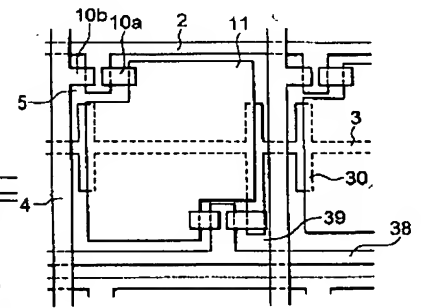
【図 1 6】



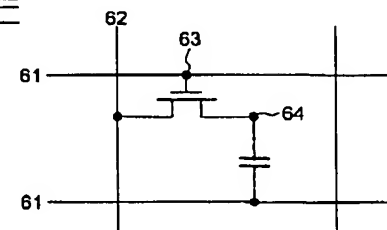
【図 1 9】



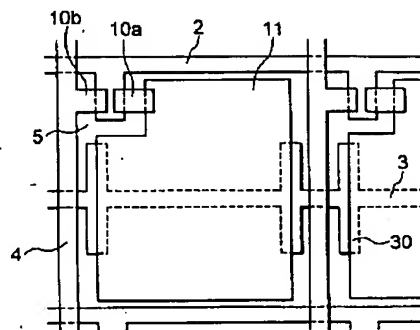
【図 2 0】



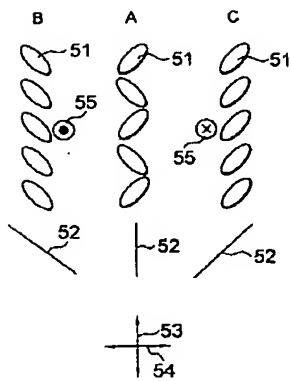
【図 2 4】



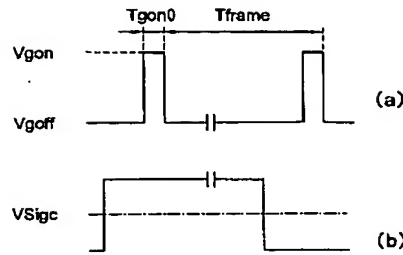
【図 1 8】



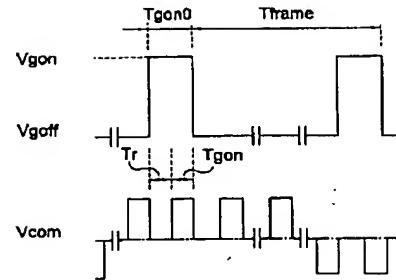
【図 2 1】



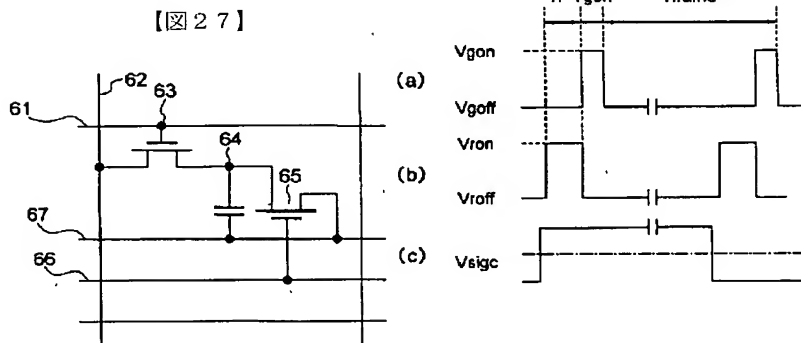
【図 2 5】



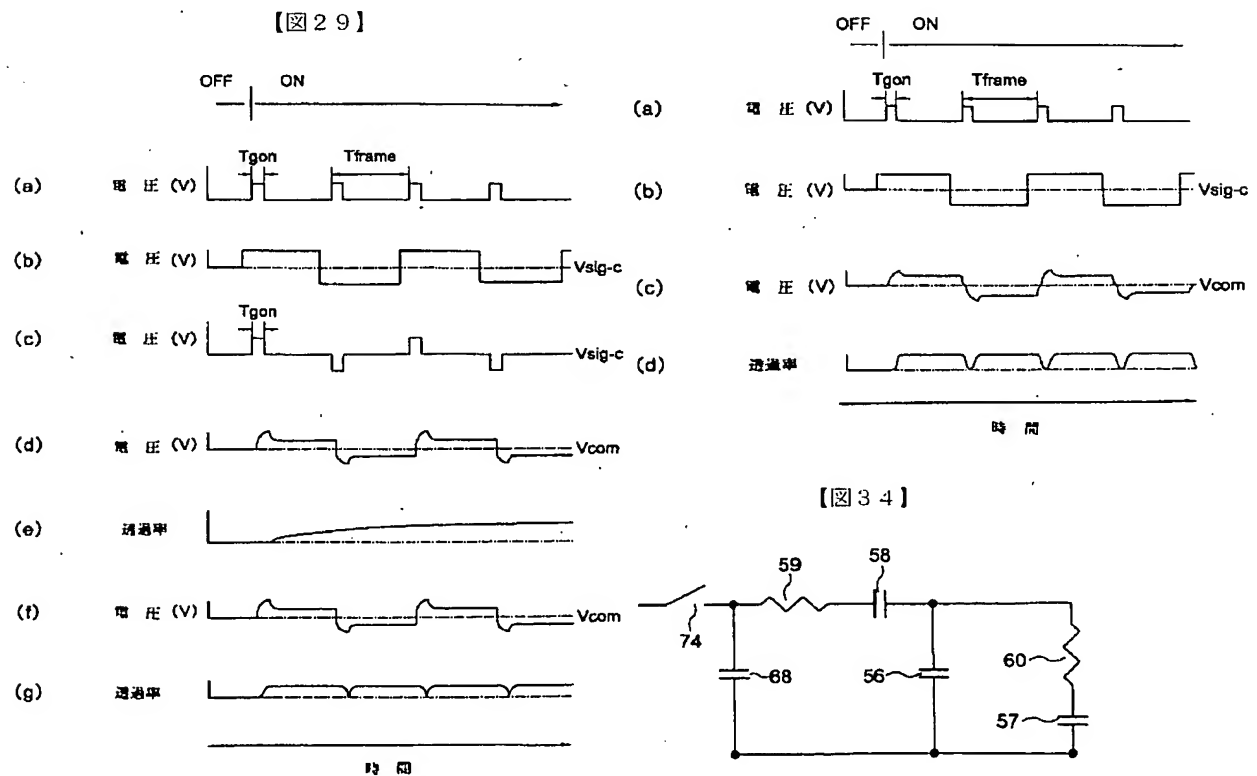
【図 2 6】



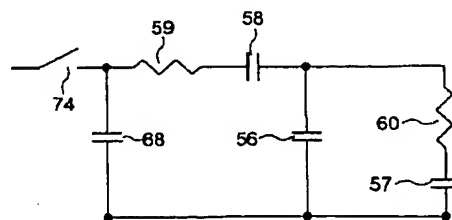
【図 2 8】



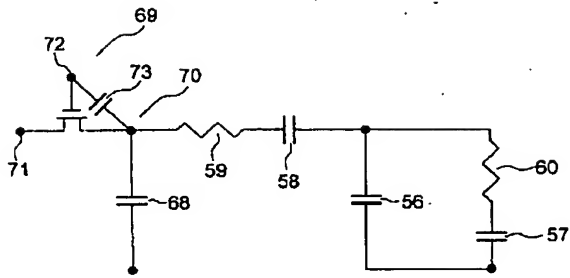
【図 3 0】



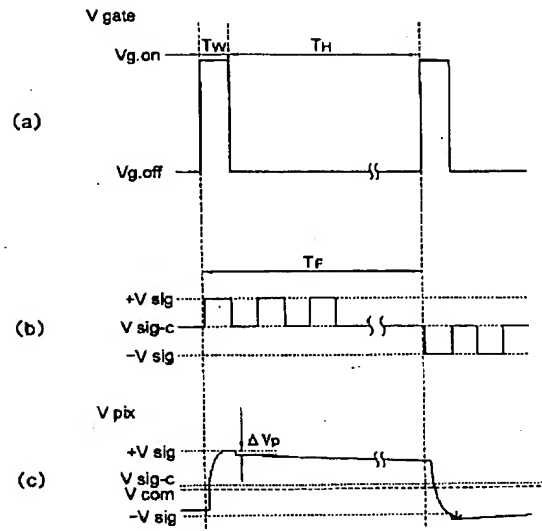
【図 3 4】



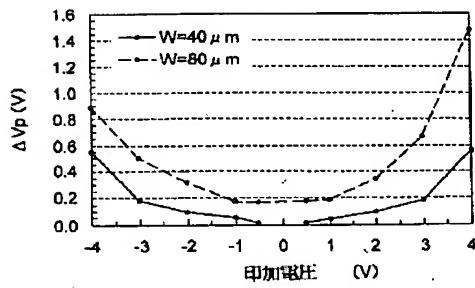
【図 3 1】



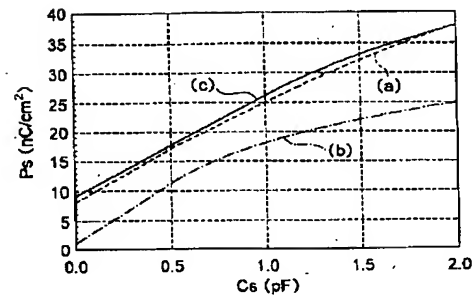
【図 3 2】



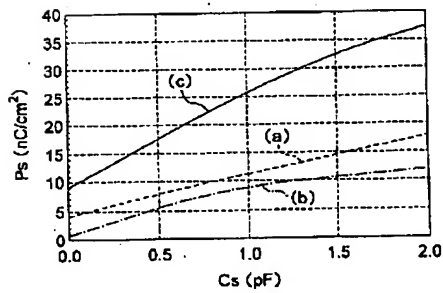
【図 3 3】



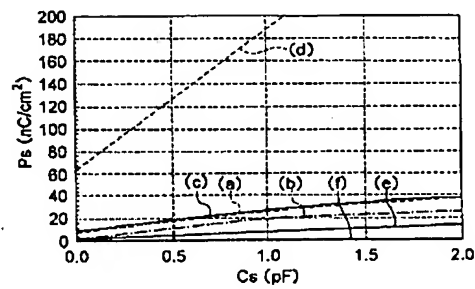
【図 3 5】



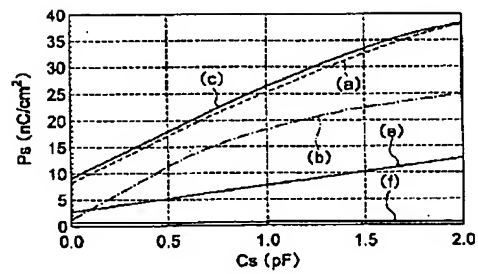
【図 3 6】



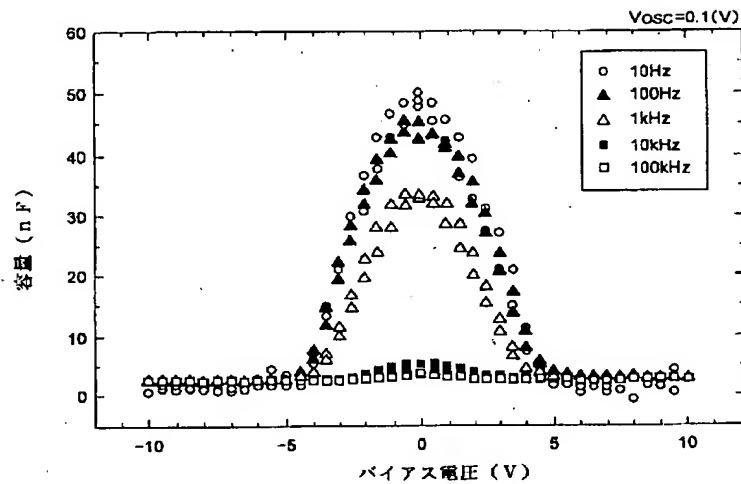
【図 3 7】



【図 3 8】



【図 3 9】



フロントページの続き

(72)発明者 伊藤 剛
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72)発明者 秋山 政彦
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72)発明者 奥村 治彦
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内